

ELETRÔNICA DE POTÊNCIA

REVISTA DA SOCIEDADE BRASILEIRA DE ELETRÔNICA DE POTÊNCIA SOBRAEP
VOL. 7, Nº 1, NOVEMBRO DE 2002

ÍNDICE

Corpo de Revisores.....	ii
Editorial.....	iii
Chamada de Trabalhos para a Seção Especial Acionamentos Eletrônicos e Controle de Máquinas Elétricas.....	iv
Editorial Convidado.....	v
ARTIGOS DA SEÇÃO ESPECIAL RETIFICADORES COM ALTO FATOR DE POTÊNCIA	
Retificadores PWM trifásicos unidirecionais com alto fator de potência Ivo Barbi, Yales Rômulo de Novaes, Fabiana Pöttker de Souza e Deivis Borgonovo.....	1
Implementação e controle de retificador trifásico de alta qualidade com comutação em baixa frequência Joanna A. G. Marafão, José Antenor Pomilio e Giorgio Spiazzi.....	15
Retificador trifásico isolado em alta frequência e com baixa distorção de corrente na rede Falcondes José Mendes de Seixas e Ivo Barbi.....	22
Digital implementation of three-phase rectifier with deadbeat controller Lourenço Matakas Jr., Wilson Komatsu e Alisson Dias Junqueira.....	30
Melhoria do fator de potência através do aumento do número de pulsos de conversores graetz comutados pela rede: Modelagem e resultados experimentais Angelo J. J. Rezek, José P. G. de Abreu, Valberto F. da Silva, José M. E. Vicente, José A. Cortez, Otávio H. S. Vicentini, Adriana C. de Sá e Mauro S. Miskulin.....	38
Unidade retificadora trifásica isolada com alto fator de potência Elias Sebastião de Andrade e Denizar Cruz Martins.....	46
Modelagem e controle discreto para o retificador PFC Boost três níveis J. E. Baggio, H. L. Hey, H. A. Gründling, H. Pinheiro e J. R. Pinheiro.....	55
Um retificador monofásico com elevado fator de potência baseado no conversor Buck multinível em corrente Henrique A. C. Braga e Estêvão Coelho Teixeira.....	62
ARTIGOS DA SEÇÃO REGULAR	
Retificador pré-regulador Boost com elevados fator de potência e rendimento, para sistemas de telecomunicações Carlos Alberto Canesin e Fábio Toshiaki Wakabayashi.....	70
Normas para Publicação de Trabalhos na Revista Eletrônica de Potência.....	78

Corpo de Revisores desta edição de Eletrônica de Potência

Adriano Alves Pereira – UEL
Alexandre Ferrari de Souza – UFSC
Alexandre Magnus Guimarães – INPE
Ângelo J. Junqueira Rezek – UNIFEI
Arnaldo José Perin – UFSC
Carlos Alberto Canesin – UNESP – Ilha Solteira
Carlos Augusto Ayres – UNIFEI
Denizar Cruz Martins – UFSC
Domingos Sávio Lyrio Simonetti – UFES
Enes Gonçalves Marra – UFG
Ernesto Ruppert Filho – UNICAMP
Falcondes J. M. de Seixas – UNESP – Ilha Solteira
Felix Alberto Farret – UFSM
Fernando Luiz Marcelo Antunes – UFC
Fernando Soares dos Reis – PUC-RS
Henrique A. Carvalho Braga – UFJF
Humberto Pinheiro – UFSM
Jaime Eugenio Arau-Roffiel – CENIDET-México
Jean Paul Dubut – INPE
João Batista Vieira Júnior – UFU
José Antenor Pomilio – UNICAMP
José Luiz F. Vieira – UFES
Lourenço Matakas Júnior – USP
Lúcio dos Reis Barbosa – UEL
Marcelo Godoy Simões – Colorado School of Mines-EUA
Pedro Gomes Barbosa – UFJF
Peter Mantovanelli Barbosa – VPEC-EUA
Porfírio Cabeleiro Cortizo – UFMG
Walter Issamu Suemitsu – UFRJ
Wilson C. P. de Aragão Filho – UFES

EDITORIAL

Com a presente edição marcamos o início de uma nova linha de ação da revista: as seções especiais, em que pretendemos lançar, anualmente, uma chamada específica de trabalhos em um tema de interesse da Sociedade Brasileira de Eletrônica de Potência.

Em sua primeira edição, o tema proposto foi “RETIFICADORES COM ALTO FATOR DE POTÊNCIA”, tendo como Editor da Seção o Prof. Carlos Alberto Canesin, da UNESP – Ilha Solteira. Aliás, já a partir da próxima Edição o Prof. Canesin assume a Edição Geral da nossa revista, sendo esta minha última atuação como tal.

Nos dois anos em que estive como Editor passamos por um momento de desinteresse pela revista, com uma submissão restrita de trabalhos. Estamos conseguindo superar os maus momentos com as seções especiais. Aos poucos as submissões regulares irão se fortalecendo, com a reconquista da credibilidade da revista.

Uma chamada de artigos para uma nova seção especial, referente a 2003, está sendo lançada com este número. Alcançaremos, com ela, uma fatia fundamental e até o momento pouco presente na nossa revista: as aplicações em máquina elétricas. O Editor da Seção Especial será o Prof. Richard Magdalena Stephan, da COPPE - UFRJ.

Eu e meu Editor Associado, Prof. Marcelo Godoy Simões, encerramos nossos trabalhos agradecendo aos autores que, durante nossa gestão, submeteram trabalhos, e ao nosso especializado corpo de revisores, que garante a qualidade da revista.

Continuaremos colaborando com a revista. Ela estará sempre melhor.

Domingos Sávio Lyrio Simonetti - Editor Geral

Marcelo Godoy Simões - Editor Associado

SEÇÃO ESPECIAL

A revista Eletrônica de Potência da SOBRAEP está preparando uma seção especial com artigos técnicos de conteúdo especializado e artigos de conteúdo didático significativo no tema:

ACIONAMENTOS ELETRÔNICOS E CONTROLE DE MÁQUINAS ELÉTRICAS.

Os artigos de conteúdo especializado devem necessariamente conter uma introdução abrangente, onde o assunto proposto esteja clara e solidamente situado em termos de estado da arte e da sua importância.

Os tópicos contemplados incluem:

- Controle escalar e vetorial de máquinas elétricas
- Controle fuzzy, neural, adaptativo e robusto de máquinas elétricas
- Eliminação de sensores mecânicos
- Controle do movimento
- Máquinas dependentes de conversores eletrônicos
- Eficiência energética
- Interferência eletromagnética em acionamentos eletrônicos
- Aplicações.

Outros tópicos, dentro do tema proposto, serão considerados. A Seção terá como Editor Especial o Prof. Richard M. Stephan da UFRJ. A submissão do artigo deverá ser feita por via eletrônica no formato e tamanho usual da revista. Envie sua proposta de artigo completo através do site iSOBRAEP, cujo endereço (url) é:

<http://www.dee.feis.unesp.br/lep/revista>

No site iSOBRAEP você fará seu cadastro e deverá optar pelo Link da Seção Especial para enviar seu artigo. Para Dúvidas/Problemas o e-mail é: rms@ufrj.br

As datas previstas são:

Submissão Artigos: de 01 de Dezembro/2002 até 16 de Fevereiro/2003

Revisão Inicial: até 30 de Março de 2003

Submissão dos Artigos Aceitos e Corrigidos: até 15 de Abril de 2003

Revisão Final: até 30 de Abril de 2003

Publicação: Maio/Junho de 2003

Prof. Domingos S. L. Simonetti
Editor

EDITORIAL CONVIDADO

Seção Especial Retificadores com Alto Fator de Potência

Foi uma grande honra para este editor especial receber o convite para realizar e gerir esta seção especial “Retificadores com Alto Fator de Potência”.

O tema envolve diretamente a busca pelo processamento da energia elétrica com melhor qualidade, uma vez que tal fonte de energia deve ser considerada como um bem público, raro e esgotável.

Fatos recentes no país demonstraram como devemos trilhar pelos caminhos da normatização, no que se refere aos equipamentos eletroeletrônicos processadores de energia elétrica.

Infelizmente, o país é muitíssimo carente de normas técnicas atualizadas nesta área, em consequência, levando o sistema nacional de geração, transmissão e distribuição a conviver com índices de qualidade muito reduzidos e grandes desperdícios de energia elétrica.

Dentre estes dispositivos processadores de energia elétrica, encontram-se os amplamente difundidos conversores ca/cc, ou, também denominados de retificadores, em todos os seguimentos da sociedade moderna, dentre os quais: os setores industrial, comercial, agropecuário e residencial.

Entretanto, um grave problema técnico para estes retificadores convencionais é a elevada distorção harmônica da corrente drenada da rede de alimentação em corrente alternada, resultando em reduzido fator de potência. Tais fatores levam os sistemas de energia elétrica a conviverem com desperdícios significativos, pois, os valores eficazes das correntes drenadas por estes dispositivos são bem maiores do que o mínimo valor necessário para transferir a desejada potência ativa para a carga. Além deste fato, agregam-se os problemas decorrentes dos harmônicos presentes na corrente: interferências eletromagnéticas, perdas e aquecimento, ressonâncias, mau funcionamento de equipamentos, necessidade de aumento de bitolas de condutores, etc...

Neste contexto, certamente o país necessita caminhar para a normatização, por exemplo adotando as normas Européias IEC que, desde o final da década de 80, restringem o conteúdo harmônico das correntes drenadas por tais dispositivos. Estas normas sofreram constantes atualizações durante estas últimas décadas, resultando nas atuais IEC 61000-3-2 e IEC 61000-3-4.

Esta seção especial envolve diferentes tópicos relacionados com a correção do fator de potência de retificadores monofásicos e trifásicos, operando em baixas e elevadas frequências, quais sejam: concepção de novas topologias, correção passiva, correção ativa, técnicas de comutação, técnicas especiais de comando e controle. Portanto, esta seção apresenta trabalhos consolidados e completos de forma analítica e experimental.

Para realizar a análise dos trabalhos submetidos, que envolveram 80 autores em 20 diferentes artigos, contamos com a colaboração de 30 revisores de 19 instituições de pesquisa, do país e do exterior. Sem dúvida, o êxito desta edição deve substancial parte aos vossos esforços e trabalho, a todos nosso muito obrigado. Nosso muitíssimo obrigado também aos autores, pois, sem eles não existiria esta importante seção especial. Em especial agradeço ao Prof. Ivo Barbi que contribuiu com um importante artigo convidado a respeito de retificadores trifásicos.

Pela primeira vez implementamos um sistema totalmente eletrônico de submissão, análise e revisão, o qual em muito agilizou o processo desta seção especial. Outras seções especiais deverão de vir em continuidade à esta, e, a partir de janeiro de 2003, quando assumiremos a edição geral da Revista Eletrônica de Potência, todo o processo deverá ser por via eletrônica, através do seguinte endereço: <http://www.dee.feis.unesp.br/lep/revista>.

Finalmente, em função dos prazos estabelecidos para esta edição, gostaria de informar aos leitores que outros artigos aprovados ainda serão publicados nas edições normais da revista.

Espero, portanto, que esta edição contribua para o retorno da tão necessária periodicidade de nossa revista. Muito obrigado.



CARLOS ALBERTO CANESIN
EDITOR ESPECIAL

e-mail: canesin@dee.feis.unesp.br
UNESP – FEIS

LEP – Laboratório de Eletrônica de Potência
<http://www.dee.feis.unesp.br/lep/power.html>
15385-000 Ilha Solteira – SP Cx. Postal 31
Fone: 0xx18 3743 1086 Fax: 0xx18 3742 2735



SOBRAEP

Diretoria (2002-2004)

Presidente: Domingos Sávio Lyrio Simonetti – UFES
Vice-Presidente: Carlos Alberto Canesin – UNESP – Ilha Solteira
1.º Secretário: Gilberto C. D. Sousa – UFES
2.º Secretário: José Luiz F. Vieira – UFES
Tesoureiro: Wilson C. P. de Aragão Filho – UFES

Conselho Deliberativo (2002-2004)

Alexandre Ferrari de Souza - UFSC
Arnaldo José Perin - UFSC
Cícero M. T. Cruz – UFC
Denizar Cruz Martins - UFSC
Edson H. Watanabe – UFRJ
Edison Roberto C. da Silva – UFCG
Enes Gonçalves Marra – UFG
Enio Valmor Kassick - UFSC
Ivo Barbi - UFSC
João Batista Vieira Júnior – UFU
José Antenor Pomilio - UNICAMP
José Renes Pinheiro – UFSM

Endereço da Diretoria

SOBRAEP
DEL / CTUFES
Cx. Postal 01-9011
Vitória - ES - Brasil
29060-970
Fone: +55.(27).33352681
Fax.: +55.(27).33352644

Eletrônica de Potência

Editor:
Prof. Domingos Sávio Lyrio Simonetti
UFES - DEE
C. P. 01-9011
29060-970 – Vitória – ES – Brasil
<http://www.dee.feis.unesp.br/lep/revista>

Responsável pela edição: Carlos Alberto Canesin

Eletrônica de Potência é distribuída gratuitamente a todos os sócios da SOBRAEP

RETIFICADORES PWM TRIFÁSICOS UNIDIRECIONAIS COM ALTO FATOR DE POTÊNCIA

Ivo Barbi, Yales Rômulo de Novaes, Fabiana Pöttker de Souza e Deivis Borgonovo

INEP-UFSC

Caixa Postal 5119

88040-970 – Florianópolis – SC

Brasil

Resumo – Este artigo apresenta algumas das principais topologias de retificadores PWM trifásicos sem neutro encontradas na literatura, bem como uma breve comparação entre elas. Na sequência apresenta-se uma modelagem genérica para estes retificadores, com modelo completo e simplificado, para projetar tanto as malhas de corrente, quanto a(s) de tensão. Mostra-se então uma metodologia e exemplo de projeto. Finalmente são apresentados os resultados experimentais de um protótipo de 6kW com saída em 2 níveis e outro de 26kW com saída em 3 níveis.

Abstract – This paper presents some topologies of three-phase three wire PWM rectifiers and a comparison among them. A generic modeling is also presented with a complete and a simplified model, for designing the voltages and current control loops. Design methodologies are suggested as well as design procedure. Experimental results for a 6kW two level rectifier and for a 26kW three level rectifier validates the analysis.

I – INTRODUÇÃO

É sabido que a distribuição de energia elétrica é feita, exceto em raras exceções, em corrente alternada. No entanto, sabe-se também que para muitas aplicações, principalmente para a alimentação de equipamentos eletrônicos, necessita-se desta energia disponível em corrente contínua.

Desta forma, da necessidade de se converter corrente alternada – CA – em corrente contínua – CC -, surgiram os conversores CA-CC, ou simplesmente retificadores. Além disso, para níveis elevados de potência, geralmente acima de alguns quilowatts, se faz necessária a utilização de retificadores trifásicos, para garantir o equilíbrio de potência entre as fases.

Assim, quando se tem acesso ao neutro, pode-se utilizar por exemplo, três retificadores monofásicos, um para cada fase. No entanto, como nem sempre dispõe-se de neutro, ou quando sua presença é indesejável, esta solução deixa de ser factível. Surge então a necessidade de se utilizar retificadores trifásicos sem neutro.

As fontes de alimentação trifásicas convencionais, utilizam retificadores a diodo, ou a tiristores quando se deseja algum controle do fluxo de potência e da tensão de saída. No entanto, as características de entrada destes retificadores criam problemas para a rede comercial de energia elétrica, dentre os quais podem ser destacados:

- Distorção harmônica das correntes de entrada, com consequente redução do fator de potência;
- Distorção nas tensões da rede de alimentação, devido à circulação das componentes harmônicas das correntes

através das impedâncias de linha, o que pode comprometer o bom funcionamento de outros equipamentos conectados à mesma rede;

- Aumento das perdas nos elementos das redes de transmissão e distribuição;
- Necessidade de geração de grandes quantidades de potência reativa, elevando os custos de todo o sistema;
- Diminuição do rendimento da estrutura, devido ao elevado valor eficaz das correntes;
- Interferência eletromagnética em sinais de controle e comunicação, como por exemplo em sistemas de telecomunicações, entre outros.

Desta forma, devido aos problemas citados, geralmente as normas e regulamentações internacionais para sistemas de telecomunicações são tomadas como referência nas pesquisas nesta área, por serem bastante rígidas.

Além disso, ao contrário dos retificadores PWM monofásicos com fator de potência unitário, que utilizam uma ponte completa de diodos e um conversor boost, para os retificadores PWM trifásicos sem neutro não existe uma solução consagrada que possa ser tomada como referência.

Assim, são apresentadas algumas topologias com saída em 2 e 3 níveis. Será também apresentada a modelagem dos conversores, necessária para projetar as malhas de controle de tensão e corrente, seguida de procedimentos de projeto e resultados experimentais de um retificador 2 níveis de 6kW e de um retificador 3 níveis de 26kW, ambos com fator de potência unitário.

II – TOPOLOGIAS

Um dos fatores determinantes para a escolha da topologia do retificador é a tensão da rede e do barramento CC. Para tensões elevadas, as topologias a três níveis são mais indicadas porque a tensão sobre as chaves corresponde à metade da tensão total no barramento CC. Já para as topologias a dois níveis a tensão nas chaves é a própria tensão de saída.

As topologias do tipo BUCK são desconsideradas, pois apresentam indutores de baixa frequência na saída e necessitam de filtros de entrada volumosos. São apresentadas então apenas topologias do tipo BOOST.

A. Topologias Dois Níveis

Dentre as topologias de retificadores do tipo PWM dois níveis, tem-se a topologia que utiliza seis interruptores comandados, apresentada na Fig. 1 [1]. Esta topologia é uma das mais conhecidas na literatura, principalmente por ser muito utilizada operando como inversor trifásico [2].

Esta topologia possui como característica principal a bidirecionalidade no fluxo de potência e, como a maioria das

topologias do tipo elevadoras, a tensão de saída deve ser maior do que o valor máximo de pico da tensão de linha. Esta topologia, como todas que serão apresentadas neste artigo, propicia uma reduzida taxa de distorção harmônica da corrente de entrada, já que utiliza as técnicas ativas para controlar estas correntes. Entretanto, devido à sua configuração, exige maior esforço na concepção dos circuitos de comando e controle, exibindo como maior desvantagem a possibilidade de curto-circuito do barramento CC. Outra desvantagem desta topologia está relacionada ao custo. Em função da aplicação, a bidirecionalidade de energia pode se tornar uma característica dispensável, como nas aplicações em fontes para telecomunicações.

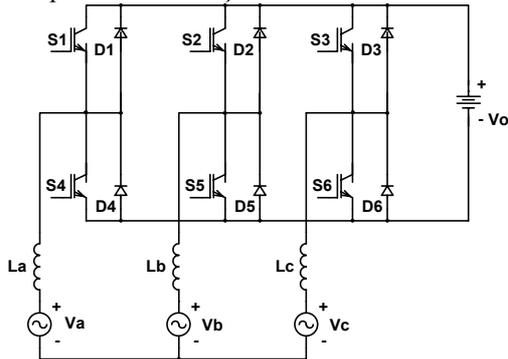


Fig. 1 – Retificador Boost dois níveis bidirecional – Boost 2n-01.

Na Fig. 2 apresenta-se outra topologia de retificador trifásico a dois níveis. Esta topologia é uma excelente candidata para as aplicações do tipo dois níveis e sua concepção foi baseada no inversor NPC [3], entretanto sofreu simplificações, pois não necessita de bidirecionalidade do fluxo de energia e nem da redução da tensão sobre os interruptores. O comando dos interruptores é de fácil implementação, já que ambos de um mesmo braço podem ser comandados de maneira concomitante. Cabe observar que, caso sejam utilizados interruptores do tipo MOSFET, os diodos em anti-paralelo com os interruptores podem ser os próprios diodos intrínsecos ao componente, reduzindo a complexidade construtiva.

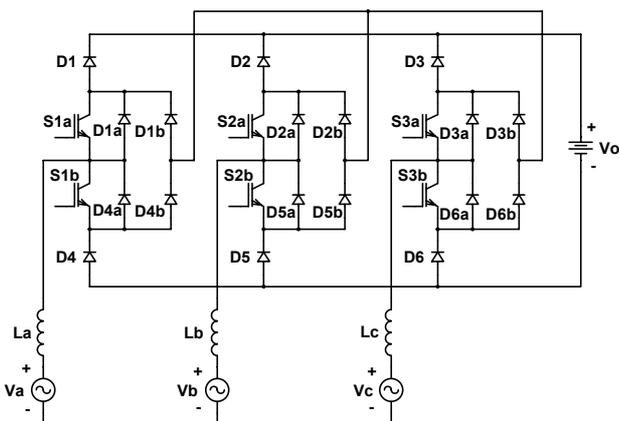


Fig. 2 – Retificador PWM unidirecional trifásico dois níveis – Boost 2n-02.

Derivada da topologia apresentada em [4], tem-se a topologia Boost 2n-03, apresentada na Fig. 3. Observa-se que apesar do número de indutores ser maior, a indutância necessária para se obter a mesma ondulação de corrente da topologia Boost 2n - 02 é a metade. Esta topologia também é

uma excelente candidata para as aplicações de baixa tensão de entrada.

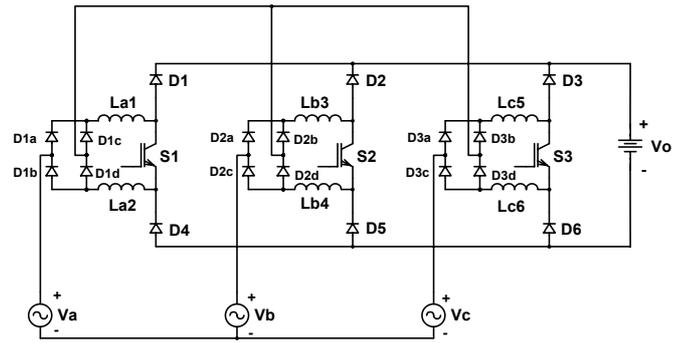


Fig. 3 – Retificador PWM unidirecional trifásico dois níveis – Boost 2n - 03.

Com características muito similares à topologia Boost 2n - 02, tem-se a topologia apresentada na Fig. 4, aqui denominada de Boost 2n-04, derivada de [6]. Esta topologia utiliza apenas um interruptor controlável por fase, reduzindo à metade a necessidade de circuitos de comando isolados, em relação às estruturas Boost 2n-01 e 2n-02.

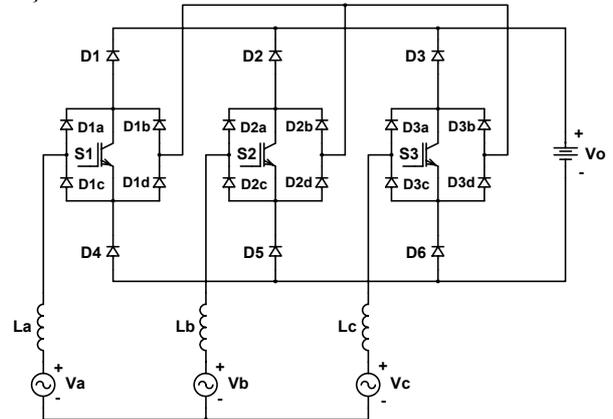


Fig. 4 – Retificador PWM unidirecional trifásico dois níveis – Boost 2n - 04.

Havendo a necessidade de se escolher uma destas três topologias, sendo que a primeira já havia sido descartada devido às questões já apresentadas, optou-se pela investigação através de simulação das três últimas topologias descritas.

Principalmente, pelo reduzido número de componentes, e pela simplicidade de realização dos circuitos de controle e comando, optou-se pela topologia Boost 2n - 04 para fazer parte do projeto de uma unidade retificadora para telecomunicações. Os resultados experimentais doravante apresentados são relativos a implementação desta topologia.

B. Topologias Três Níveis

As topologias três níveis possuem dois capacitores conectados no barramento CC, cujo ponto central é então conectado a um ponto comum das três fases. Com uma estratégia de controle apropriada garante-se a divisão equitativa da tensão nos capacitores do barramento. Desta forma, a tensão aplicada sobre os interruptores é a metade da tensão total do barramento CC ($V_o/2$), tornando estas topologias atrativas para aplicações com tensão de entrada elevada.

O retificador PWM com grampeamento do ponto neutro apresentado na Fig. 5 tem como característica principal a

bidirecionalidade do fluxo de potência [3]. Esta topologia além de ser complexa e de elevado custo também apresenta possibilidade de curto de braço. Portanto não será incluída na análise.

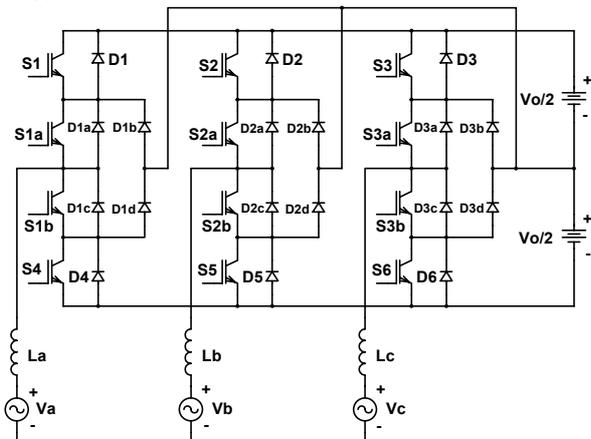


Fig. 5 – Retificador PWM bidirecional trifásico três níveis.

Retirando-se os interruptores S_1, S_2, S_3, S_4, S_5 e S_6 , do retificador da Fig. 5, obtém-se uma topologia mais simples, unidirecional, e sem a possibilidade de curto de braço, sendo portanto uma excelente candidata para aplicações com alta tensão de entrada. Esta topologia é apresentada na Fig. 6. Os dois interruptores de cada braço são acionados com o mesmo sinal de comando. No entanto, os circuitos de comando de cada fase devem ser isolados. Os diodos em anti-paralelo com os interruptores podem ser os próprios diodos intrínsecos do MOSFET.

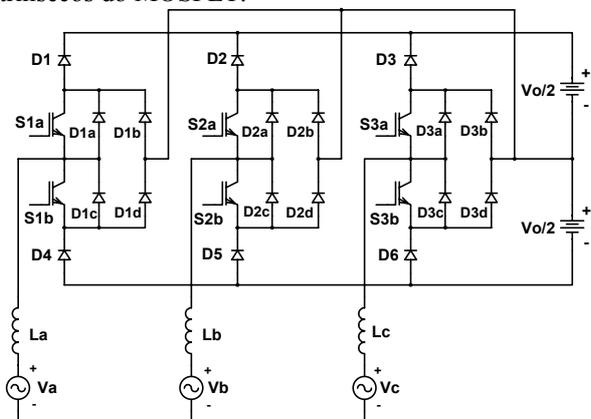


Fig. 6 – Retificador PWM unidirecional trifásico três níveis – Boost 3n-02.¹

A topologia apresentada na Fig. 7 apresenta um número de diodos menor que a topologia Boost 3n-02, e os sinais de comando também são os mesmos para cada fase [5]. Esta topologia também é candidata para aplicações de alta tensão.

A topologia apresentada na Fig. 8 é outra opção para tensões elevadas [6]. Por apresentar apenas um interruptor comandável por fase, tem-se a metade dos circuitos de comando isolados, comparando-se com as demais topologias.

A topologia apresentada na Fig. 9 é outra opção para tensões elevadas [7], no entanto, apresenta a tensão total do barramento aplicada aos diodos da ponte retificadora ($D_1, D_2, D_3, D_4, D_5, D_6$), se tornando menos atrativa que as demais topologias.

¹ Este conversor está sendo patenteado pela empresa TYCO Electronics

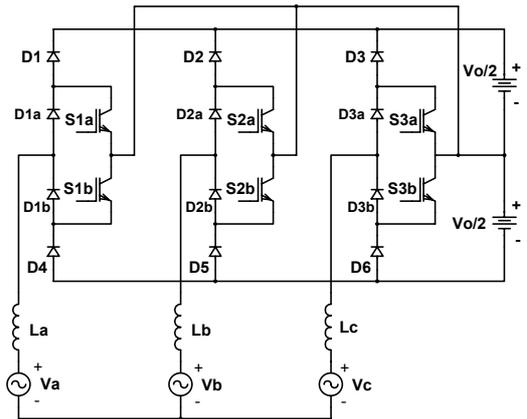


Fig. 7 – Retificador PWM unidirecional trifásico três níveis – Boost 3n-03.

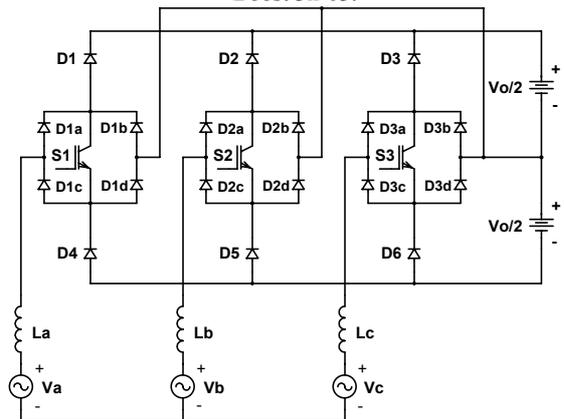


Fig. 8 – Retificador PWM unidirecional trifásico três níveis – Boost 3n-04.

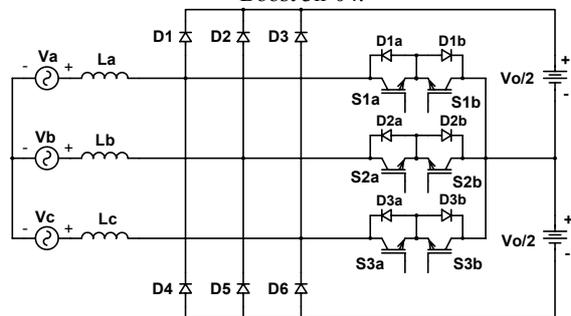


Fig. 9 – Retificador PWM unidirecional trifásico três níveis – Boost 3n-05.

Através de simulação das quatro topologias apresentadas nas Figs. 6 a 9, verificou-se que as topologias Boost 3n-02 e Boost 3n-05 apresentam perdas menores nos semicondutores. Assim, pelas reduzidas perdas nos semicondutores e principalmente por ser uma topologia nova, optou-se pela Boost 3n-02 para fazer parte do projeto de uma unidade retificadora para telecomunicações [8]. O exemplo de projeto e os resultados experimentais apresentados referem-se a esta topologia escolhida.

III – MODELAGEM E DEFINIÇÃO DOS CONTROLADORES

Seria de grande interesse a obtenção de uma metodologia rápida e simples, porém eficiente e confiável, para analisar e modelar os retificadores PWM trifásicos, principalmente as novas topologias.

Desta forma, será apresentado o desenvolvimento da metodologia para analisar e modelar tais conversores,

baseada no conversor bidirecional 2 níveis mais simples, apresentado na Fig.1, podendo-se então estender a metodologia para os demais conversores, inclusive para os 3 níveis.

A. Obtenção do Modelo do Conversor a Partir do Lado CA

Assim sendo, para obter o modelo visto a partir do lado CA, utilizado para controlar as correntes de entrada do retificador, será apresentada a elaboração de uma metodologia para análise, modelagem e controle, inicialmente aplicada para o conversor da Fig.1, para então na sequência generalizar a análise.

Deve-se ressaltar ainda que o modelo genérico visto a partir da entrada é o mesmo para conversores 2 e 3 níveis, como será provado mais adiante.

Pode ser observado que o circuito a ser analisado é tradicionalmente utilizado como conversor CC-CA. A metodologia que será apresentada também pode ser utilizada no controle de inversores trifásicos ou filtros ativos.

O circuito do conversor apresentado na Fig.1, pode ser representado pelo circuito simplificado da Fig. 10, sem perda de generalidade [9]:

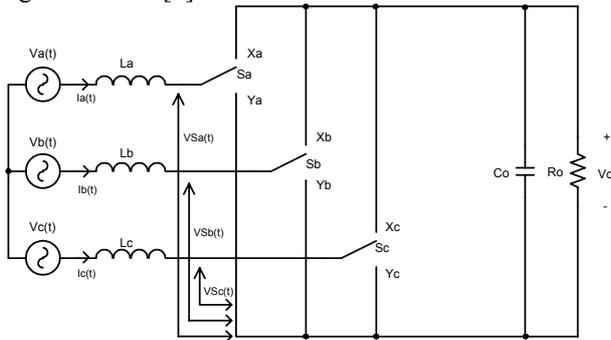


Fig. 10 - Circuito simplificado do conversor CA-CC trifásico bidirecional apresentado na Fig.1.

Assim, a partir do circuito apresentado na Fig.10, pode-se observar que quando o interruptor S_a está na posição X_a , tem-se $V_{Sa}(t) = V_o$ e quando S_a está na posição Y_a tem-se $V_{Sa}(t) = 0$, a partir desta observação e seguindo o mesmo raciocínio para os interruptores S_b e S_c , pode-se escrever:

$$\begin{cases} V_{Sa}(t) = [1 - D_a(t)] \cdot V_o \\ V_{Sb}(t) = [1 - D_b(t)] \cdot V_o \\ V_{Sc}(t) = [1 - D_c(t)] \cdot V_o \end{cases} \quad (1)$$

onde:

$$\begin{cases} D_a(t) = \begin{cases} 0, & S_a \rightarrow X_a \\ 1, & S_a \rightarrow Y_a \end{cases} \\ D_b(t) = \begin{cases} 0, & S_b \rightarrow X_b \\ 1, & S_b \rightarrow Y_b \end{cases} \\ D_c(t) = \begin{cases} 0, & S_c \rightarrow X_c \\ 1, & S_c \rightarrow Y_c \end{cases} \end{cases} \quad (2)$$

Pode-se ainda representar o conversor apresentado na Fig. 10, pelo circuito equivalente apresentado na Fig.11.

Além disso, V_o corresponde à tensão de saída, que por enquanto será considerada constante.

Observa-se ainda que o circuito equivalente da Fig. 11 apresenta três variáveis de estado (correntes nos indutores), o que daria origem a um sistema de terceira ordem, entretanto,

como o sistema não apresenta neutro, surge uma restrição, que é definida por (3):

$$I_a(t) + I_b(t) + I_c(t) = 0 \quad (3)$$

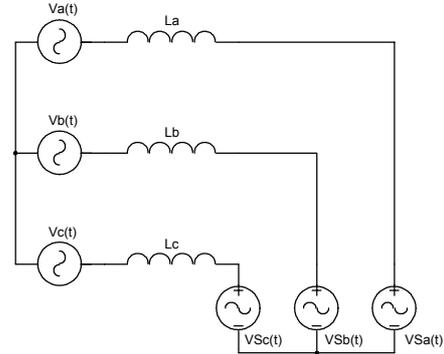


Fig. 11 - Circuito equivalente ao conversor apresentado na Fig. 10.

Ou seja, tem-se um sistema apenas de segunda ordem, com duas variáveis de estado independentes, já que a terceira é definida como uma combinação linear das outras duas.

Observando então a Fig. 11, pode-se escrever:

$$\begin{cases} [V_a(t) - V_b(t)] = [V_{La}(t) - V_{Lb}(t)] + [V_{Sa}(t) - V_{Sb}(t)] \\ [V_b(t) - V_c(t)] = [V_{Lb}(t) - V_{Lc}(t)] + [V_{Sb}(t) - V_{Sc}(t)] \\ [V_c(t) - V_a(t)] = [V_{Lc}(t) - V_{La}(t)] + [V_{Sc}(t) - V_{Sa}(t)] \end{cases} \quad (4)$$

Pode-se definir ainda:

$$\begin{cases} V_{Sab}(t) = V_{Sa}(t) - V_{Sb}(t) \\ V_{Sbc}(t) = V_{Sb}(t) - V_{Sc}(t) \\ V_{Sca}(t) = V_{Sc}(t) - V_{Sa}(t) \end{cases} \quad (5)$$

Onde obviamente tem-se:

$$V_{Sab}(t) + V_{Sbc}(t) + V_{Sca}(t) = 0 \quad (6)$$

Desta forma, obtém-se um circuito ainda mais simples para representar o modelo do conversor visto a partir do lado CA, que é apresentado na Fig.12. Pode-se escrever então:

$$\begin{cases} [V_a(t) - V_b(t)] = [V_{La}(t) - V_{Lb}(t)] + V_{Sab}(t) \\ [V_b(t) - V_c(t)] = [V_{Lb}(t) - V_{Lc}(t)] + V_{Sbc}(t) \\ [V_c(t) - V_a(t)] = [V_{Lc}(t) - V_{La}(t)] + V_{Sca}(t) \text{ (Redundante)} \end{cases} \quad (7)$$

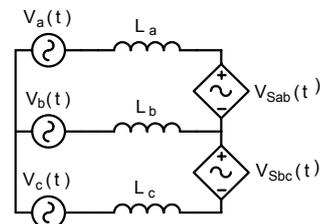


Fig. 12 - Circuito equivalente ao apresentado na Fig. 11.

Considerando ainda que $L_a=L_b=L_c=L$, pode-se escrever:

$$\begin{cases} V_{La}(t) - V_{Lb}(t) = L \cdot \frac{dI_a(t)}{dt} - L \cdot \frac{dI_b(t)}{dt} = L \cdot \frac{d}{dt} [I_a(t) - I_b(t)] = L \cdot \frac{dI_{ab}(t)}{dt} \\ V_{Lb}(t) - V_{Lc}(t) = L \cdot \frac{dI_b(t)}{dt} - L \cdot \frac{dI_c(t)}{dt} = L \cdot \frac{d}{dt} [I_b(t) - I_c(t)] = L \cdot \frac{dI_{bc}(t)}{dt} \\ V_{Lc}(t) - V_{La}(t) = L \cdot \frac{dI_c(t)}{dt} - L \cdot \frac{dI_a(t)}{dt} = L \cdot \frac{d}{dt} [I_c(t) - I_a(t)] = L \cdot \frac{dI_{ca}(t)}{dt} \end{cases} \quad (8)$$

Tem-se então:

$$\begin{cases} V_{ab}(t) = L \frac{di_{ab}(t)}{dt} - V_o \cdot D_{ab}(t) \\ V_{bc}(t) = L \frac{di_{bc}(t)}{dt} - V_o \cdot D_{bc}(t) \\ V_{ca}(t) = L \frac{di_{ca}(t)}{dt} - V_o \cdot D_{ca}(t) \end{cases} \quad (9)$$

Pode-se observar novamente que $I_{ab}(t)+I_{bc}(t)+I_{ca}(t)=0$, ou seja, umas das correntes fictícias pode ser escrita como uma combinação linear das outras duas, concluindo-se então que se pode controlar, de forma independente, duas combinações linearmente independentes das correntes de entrada, o que é suficiente para garantir o formato senoidal das três correntes de entrada.

Observa-se no entanto, que as razões cíclicas $D_{ab}(t)$, $D_{bc}(t)$ e $D_{ca}(t)$ são obviamente fictícias, sendo elas o resultado de combinações das razões cíclicas reais $D_a(t)$, $D_b(t)$ e $D_c(t)$. No entanto, a partir das razões cíclicas fictícias pode-se facilmente determinar as razões cíclicas reais. Todavia deve-se ter em mente que esta metodologia de controle somente seria factível utilizando processadores digitais de sinal (DSP), utilizando controle digital.

B. Obtenção da Função de Transferência Simplificada

Pode-se ainda obter um modelo simplificado de pequenos sinais, onde se poderia supostamente controlar de forma independente as três correntes de entrada. Desta forma, da Fig. 11, tem-se:

$$\begin{aligned} V_a(t) - V_{La}(t) - V_{Sa}(t) &= V_b(t) - V_{Lb}(t) - V_{Sb}(t) \\ V_c(t) - V_{Lc}(t) - V_{Sc}(t) & \end{aligned} \quad (10)$$

Logo, a soma das três expressões é igual ao triplo de uma delas:

$$\begin{aligned} 3 \cdot [V_a(t) - V_{La}(t) - V_{Sa}(t)] &= [V_a(t) + V_b(t) + V_c(t)] - \\ [V_{La}(t) + V_{Lb}(t) + V_{Lc}(t)] &- [V_{Sa}(t) + V_{Sb}(t) + V_{Sc}(t)] \end{aligned} \quad (11)$$

Além disso, considerando-se que a alimentação seja perfeitamente senoidal e equilibrada, lembrando que não há presença de neutro e tendo $L_a=L_b=L_c$ pode-se afirmar que:

$$V_a(t) + V_b(t) + V_c(t) = 0 \quad (12)$$

$$I_{La}(t) + I_{Lb}(t) + I_{Lc}(t) = 0 \Rightarrow V_{La}(t) + V_{Lb}(t) + V_{Lc}(t) = 0 \quad (13)$$

Obtém-se então:

$$3 \cdot [V_a(t) - V_{La}(t) - V_{Sa}(t)] + [V_{Sa}(t) + V_{Sb}(t) + V_{Sc}(t)] = 0 \quad (14)$$

Logo:

$$3 V_a(t) - 3 L \frac{di_{La}(t)}{dt} - 2 V_{Sa}(t) + V_{Sb}(t) + V_{Sc}(t) = 0 \quad (15)$$

Ou:

$$3 \cdot V_a(t) - 3 \cdot L \cdot \frac{di_{La}(t)}{dt} + V_o \cdot \begin{cases} -2 [1 - D_a(t)] + [1 - D_b(t)] \\ + [1 - D_c(t)] \end{cases} = 0 \quad (16)$$

A partir de (16), aplica-se um modelo de pequenos sinais, para um curto intervalo de tempo, onde a tensão de alimentação $V_a(t)$ pode ser considerada constante. Além disso, será inserida neste ponto a simplificação desta análise, considerando-se que $D_b(t)$ e $D_c(t)$ (ou a soma delas) permanece constante, de forma que se obtém então:

$$3 \cdot 0 - 3 \cdot L \cdot \frac{di_{La}(t)}{dt} + V_o \cdot \begin{cases} -2 [0 - d_a(t)] + [0 - 0] \\ + [0 - 0] \end{cases} = 0 \quad (17)$$

$$-3 \cdot L \cdot \frac{di_{La}(t)}{dt} + V_o \cdot 2 \cdot d_a(t) = 0 \quad (18)$$

Aplicando a transformada de Laplace:

$$3 \cdot L \cdot s \cdot i_{La}(s) = V_o \cdot 2 \cdot d_a(s) \quad (19)$$

De forma análoga, obtém-se o mesmo resultado para as fases “b” e “c”, obtendo-se então a função de transferência:

$$\frac{i(s)}{d(s)} = \frac{V_o}{s \left(\frac{3}{2} L \right)} \quad (20)$$

O resultado obtido em (20) corresponde à própria função de transferência do conversor Boost CC-CC convencional, a não ser pelo fato de apresentar uma indutância equivalente 50% maior que a indutância física.

Deve-se observar que para conversores 2 níveis, V_o representa a tensão total de saída, enquanto que para conversores 3 níveis, V_o representa a tensão de saída apenas em um dos barramentos, de forma que se pode considerar V_o como metade da tensão total de saída.

Com esta função de transferência simplificada pode-se projetar os controladores de corrente e obter bons resultados práticos, no entanto deve-se ter ciência de que esta simplificação pode acarretar alguns problemas, como deformações nas correntes de entrada, pois se está desprezando o acoplamento entre as funções de transferência.

Na verdade os controladores não atuarão realmente de forma independente, mas irão sim interagir.

C. Obtenção do Modelo do Conversor a Partir da Saída CC

Sejam as tensões de alimentação definidas por:

$$\begin{cases} V_a(t) = V_p \cdot \text{sen}(\omega t) \\ V_b(t) = V_p \cdot \text{sen}(\omega t + 120^\circ) \\ V_c(t) = V_p \cdot \text{sen}(\omega t - 120^\circ) \end{cases} \quad (21)$$

Tem-se então:

$$\begin{cases} V_{ab}(t) = \sqrt{3} \cdot V_p \cdot \text{sen}(\omega t - 30^\circ) \\ V_{bc}(t) = \sqrt{3} \cdot V_p \cdot \text{sen}(\omega t + 90^\circ) \\ V_{ca}(t) = \sqrt{3} \cdot V_p \cdot \text{sen}(\omega t - 150^\circ) \end{cases} \quad (22)$$

Considera-se ainda que os controladores de corrente garantem seu formato senoidal, sem defasamento em relação às tensões de alimentação, desta forma tem-se:

$$\begin{cases} I_a(t) = I_p \cdot \text{sen}(\omega t) \\ I_b(t) = I_p \cdot \text{sen}(\omega t + 120^\circ) \\ I_c(t) = I_p \cdot \text{sen}(\omega t - 120^\circ) \end{cases} \quad (23)$$

Assim sendo, pode-se definir a potência média de entrada por:

$$P_{IN} = \frac{P_o}{\eta} = \frac{3}{2} \cdot V_p \cdot I_p \quad (24)$$

Onde:

$P_{IN} \rightarrow$ Potência média de entrada;

$P_o \rightarrow$ Potência média de saída;

$\eta \rightarrow$ Rendimento total da unidade retificadora;

Logo:

$$I_p = \frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \quad (25)$$

Pode-se escrever ainda:

$$\begin{cases} I_{ab}(t) = \frac{2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p} \cdot \text{sen}(\omega t - 30^\circ) \\ I_{bc}(t) = \frac{2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p} \cdot \text{sen}(\omega t + 90^\circ) \\ I_{ca}(t) = \frac{2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p} \cdot \text{sen}(\omega t - 150^\circ) \end{cases} \quad (26)$$

A partir da Fig. 12, tem-se:

$$\begin{cases} V_{ab}(t) = L \cdot \frac{dI_{ab}(t)}{dt} + V_{Sab}(t) \\ V_{bc}(t) = L \cdot \frac{dI_{bc}(t)}{dt} + V_{Sbc}(t) \\ V_{ca}(t) = L \cdot \frac{dI_{ca}(t)}{dt} + V_{Sca}(t) \end{cases} \quad (27)$$

Logo:

$$\begin{cases} D_{ab}(t) = \frac{V_{ab}(t) - L \cdot \frac{dI_{ab}(t)}{dt}}{V_o} \\ D_{bc}(t) = \frac{V_{bc}(t) - L \cdot \frac{dI_{bc}(t)}{dt}}{V_o} \\ D_{ca}(t) = \frac{V_{ca}(t) - L \cdot \frac{dI_{ca}(t)}{dt}}{V_o} \end{cases} \quad (28)$$

Desta forma, substituindo-se (26) e (27) em (28), obtém-se:

$$\begin{cases} D_{ab}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \cdot \text{sen}(\omega t - 30^\circ) - \frac{\omega \cdot L \cdot 2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p \cdot V_o} \cdot \cos(\omega t - 30^\circ) \\ D_{bc}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \cdot \text{sen}(\omega t + 90^\circ) - \frac{\omega \cdot L \cdot 2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p \cdot V_o} \cdot \cos(\omega t + 90^\circ) \\ D_{ca}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \cdot \text{sen}(\omega t - 150^\circ) - \frac{\omega \cdot L \cdot 2 \cdot P_o}{\sqrt{3} \cdot \eta \cdot V_p \cdot V_o} \cdot \cos(\omega t - 150^\circ) \end{cases} \quad (29)$$

Pode-se simplificar ainda (29):

$$\begin{cases} D_{ab}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \left[\text{sen}(\omega t - 30^\circ) - \frac{2 \cdot \omega \cdot L \cdot P_o}{3 \cdot \eta \cdot V_p^2} \cdot \cos(\omega t - 30^\circ) \right] \\ D_{bc}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \left[\text{sen}(\omega t + 90^\circ) - \frac{2 \cdot \omega \cdot L \cdot P_o}{3 \cdot \eta \cdot V_p^2} \cdot \cos(\omega t + 90^\circ) \right] \\ D_{ca}(t) = \frac{\sqrt{3} \cdot V_p}{V_o} \left[\text{sen}(\omega t - 150^\circ) - \frac{2 \cdot \omega \cdot L \cdot P_o}{3 \cdot \eta \cdot V_p^2} \cdot \cos(\omega t - 150^\circ) \right] \end{cases} \quad (30)$$

Em (30) apresenta-se o comportamento das razões cíclicas, válido para qualquer instante do período da rede, para o conversor operando em regime permanente.

Pode-se observar claramente a forma como as razões cíclicas controlam diretamente o fluxo de potência ativa da alimentação para a carga, através da amplitude dos cossenos das razões cíclicas.

Ainda, a partir do circuito da Fig.10, pode-se observar que a corrente total de saída $I_o(t)$ é dada por:

$$I_o(t) = I_a(t) \cdot [1 - D_a(t)] + I_b(t) \cdot [1 - D_b(t)] + I_c(t) \cdot [1 - D_c(t)] \quad (31)$$

Sabe-se ainda que:

$$\begin{aligned} [I_a(t) \cdot D_a(t) + I_b(t) \cdot D_b(t) + I_c(t) \cdot D_c(t)] = \\ \frac{1}{3} \cdot [I_{ab}(t) \cdot D_{ab}(t) + I_{bc}(t) \cdot D_{bc}(t) + I_{ca}(t) \cdot D_{ca}(t)] \end{aligned} \quad (32)$$

Logo, lembrando que a soma das três correntes de entrada é nula, tem-se:

$$I_o(t) = -\frac{1}{3} \cdot [I_{ab}(t) \cdot D_{ab}(t) + I_{bc}(t) \cdot D_{bc}(t) + I_{ca}(t) \cdot D_{ca}(t)] \quad (33)$$

Substituindo (30) e (26) em (33) e utilizando identidades trigonométricas, obtém-se:

$$I_o(t) = \frac{3 \cdot V_p \cdot I_p}{2 \cdot V_o} \quad (34)$$

Deve-se observar que $I_o(t)$, apresentada em (34), representa a corrente instantânea de saída, ou seja, desprezando as componentes de alta frequência (comutação), a corrente de saída é constante e diretamente proporcional à amplitude das correntes de entrada. Considera-se então que a malha de tensão apresente como variável de controle a amplitude das correntes de entrada, de forma que se multiplica esta amplitude pelas tensões de alimentação, para definir as referências das correntes de entrada. Tem-se então:

$$\frac{I_o(s)}{I_p(s)} = \frac{3 \cdot V_p}{2 \cdot V_o} \quad (35)$$

Além disso, considerando uma carga resistiva e um modelo simplificado dos capacitores de saída, levando em conta apenas a resistência série equivalente, tem-se:

$$V_o(s) = I_o(s) \cdot Z_{eq} \quad (36)$$

Onde:

$$Z_{eq} = \left[\frac{s \cdot C_o}{s \cdot R_{SE} \cdot C_o + 1} + \frac{1}{R_{eq}} \right]^{-1} \quad (37)$$

Pode-se definir ainda a resistência de carga equivalente por:

$$R_o = \frac{V_o^2}{P_o} \quad (38)$$

Assim, obtém-se:

$$\frac{V_o(s)}{I_o(s)} = \frac{\frac{V_o^2}{P_o} \cdot (s \cdot R_{SE} \cdot C_o + 1)}{s \cdot \frac{C_o \cdot V_o^2}{P_o} \left(1 + \frac{R_{SE} \cdot P_o}{V_o^2} \right) + 1} \quad (39)$$

Finalmente multiplicando-se (39) por (35), obtém-se:

$$\frac{V_o(s)}{I_o(s)} \cdot \frac{I_o(s)}{I_p(s)} = \frac{V_o(s)}{I_p(s)} = \frac{\frac{V_o^2}{P_o} \cdot (s \cdot R_{SE} \cdot C_o + 1)}{s \cdot \frac{C_o \cdot V_o^2}{P_o} \left(1 + \frac{R_{SE} \cdot P_o}{V_o^2} \right) + 1} \cdot \frac{3 \cdot V_p}{2 \cdot V_o} \quad (40)$$

Logo:

$$\frac{V_o(s)}{I_p(s)} = \frac{3 \cdot V_p \cdot V_o}{2 \cdot P_o} \cdot \frac{s \cdot [R_{SE} \cdot C_o] + 1}{s \cdot \left[\frac{C_o \cdot V_o^2}{P_o} \cdot \left(1 + \frac{R_{SE} \cdot P_o}{V_o^2} \right) \right] + 1} \quad (41)$$

Desta forma, pode-se implementar três malhas de corrente independentes e uma única malha externa de tensão, onde a

variável de controle da malha de tensão - $I_p(t)$ - é multiplicada pelas tensões de entrada, definindo então as referências para as malhas de corrente.

IV – SNUBBER PASSIVO NÃO-DISSIPATIVO

Em sua forma original, a topologia do retificador trifásico apresenta suas comutações dissipativas. Para elevar o rendimento da estrutura, um circuito de ajuda à comutação será introduzido nesta seção, representado para uma das fases do conversor. O circuito adotado possui características muito interessantes, já que é composto apenas por componentes passivos e permite o natural reaproveitamento da energia armazenada nos capacitores e indutores de comutação.

Observa-se na Fig. 13 que a fonte de entrada e o indutor foram representados por uma fonte de corrente, simplificação factível, pois a frequência de comutação é muito maior do que a frequência da rede de alimentação. A tensão de saída é considerada como uma fonte de tensão constante, todos os componentes são ideais e a representação feita é válida para todos os braços do retificador.

O capacitor C_{s11} auxilia durante o bloqueio do interruptor, controlando a derivada de crescimento da tensão. O indutor L_{s1} auxilia durante a entrada em condução do interruptor, permitindo que a tensão decresça até zero instantaneamente. O capacitor C_{s12} possui valor maior do que o capacitor C_{s11} , permitindo, com o auxílio do indutor L_{s1} , que a energia envolvida nas comutações seja entregue para a saída do retificador. Nota-se também, que as perdas por comutação do diodo D_1 também são reduzidas com a utilização deste *Snubber*, pois a derivada de crescimento da tensão durante o bloqueio do mesmo pode ser controlada através dos capacitores auxiliares.

1ª etapa (t_0, t_1)

Durante a primeira etapa o interruptor S_1 está conduzindo, a tensão sobre o capacitor C_{s11} é nula e a tensão sobre o capacitor C_{s12} é V_x (remanescente da última etapa). A Fig 13 apresenta esta etapa de funcionamento.

2ª etapa (t_1, t_2)

No instante t_1 , o interruptor S_1 é comandado ao bloqueio, colocando em condução o diodo D_{s13} . Assim, inicia-se a carga de forma linear do capacitor C_{s11} . A Fig. 13 apresenta esta etapa de funcionamento.

3ª etapa (t_2, t_3)

No instante t_2 , o diodo D_{s11} entra em condução, iniciando a descarga de forma ressonante do capacitor C_{s12} . O capacitor C_{s11} continua carregando-se, até atingir a tensão de saída V_o , dando início a próxima etapa de funcionamento. Esta etapa de funcionamento está representada na Fig. 13.

4ª etapa (t_3, t_4)

Esta etapa de funcionamento é apresentada na Fig. 14. No instante t_3 , o diodo D_{s12} entra em condução. A tensão no

capacitor C_{s12} e a corrente no indutor L_{s1} variam de forma ressonante. Esta etapa finda quando a tensão sobre o capacitor C_{s12} anula-se.

5ª etapa (t_4, t_5)

Durante esta etapa de operação, a corrente que circula através do indutor L_{s1} cresce até atingir o valor da corrente I_a , dando início a próxima etapa. A Fig. 14 apresenta este estado topológico.

6ª etapa (t_5, t_6)

Durante esta etapa de operação não ocorre mudança em nenhuma variável de estado. Sendo que a duração desta etapa é dependente do comando dos interruptores, ou seja da razão cíclica. A representação desta etapa de funcionamento está apresentada na Fig. 14.

7ª etapa (t_6, t_7)

Esta etapa de funcionamento tem início quando o interruptor S_1 é comandado a conduzir. A tensão sobre o interruptor S_1 cai instantaneamente a zero, devido a presença do indutor L_{s1} , propiciando sua comutação suave, uma vez que a corrente que circula através do mesmo cresce com derivada limitada por este indutor, transferindo-lhe a corrente que circula através do diodo D_1 . A Fig. 15 mostra esta etapa de funcionamento, que finda quando o diodo D_1 bloqueia-se.

8ª etapa (t_7, t_8)

No instante t_7 a corrente no diodo D_1 é zero. O capacitor C_{s11} descarrega-se enviando energia para o capacitor C_{s12} e para o indutor L_{s1} . A corrente que circula através dos elementos passivos varia de forma ressonante. Tem-se o término desta etapa quando a tensão sobre o capacitor C_{s11} torna-se nula. A Fig. 15 mostra esta etapa de funcionamento.

9ª etapa (t_8, t_9)

Durante a nona etapa de funcionamento a energia armazenada no indutor L_{s1} é transferida para o capacitor C_{s12} . O término desta etapa ocorre quando a corrente no indutor L_{s1} anula-se. A Fig. 15 mostra esta etapa de funcionamento.

Cálculo dos Elementos Passivos do Snubber

A metodologia apresentada para o dimensionamento dos elementos passivos deste *snubber* é simplificada, entretanto um dimensionamento mais rigoroso pode ser encontrado em [8].

Com os valores de pico da corrente de entrada, a tensão média de saída e as derivadas de tensão e corrente calcula-se a indutância L_{s1} e as capacitâncias C_{s11} e C_{s12} .

$$L_{s1} = V_o \cdot \frac{dt}{di} \quad (42)$$

$$C_{s11} = I_p \cdot \frac{dt}{dv} \quad (43)$$

$$C_{s12} = 4 \cdot C_{s11} \quad (44)$$

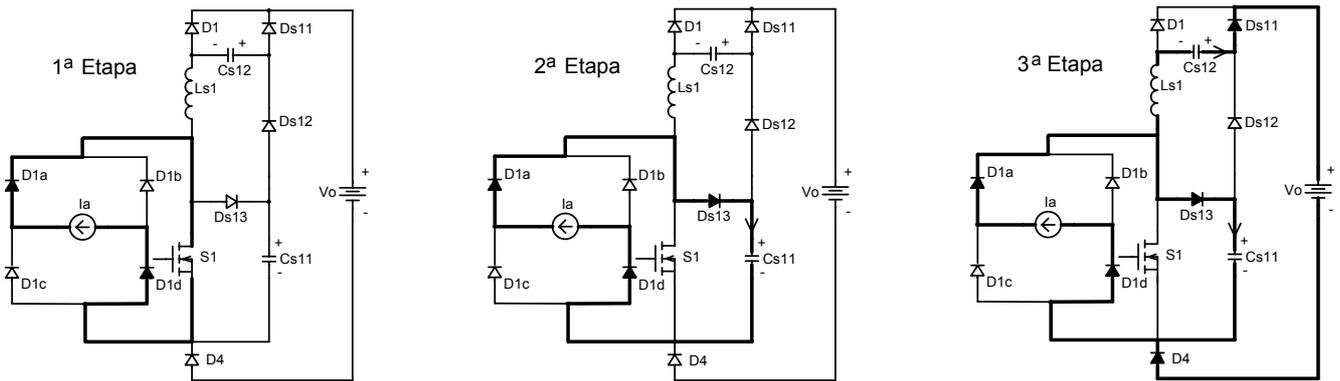


Fig. 13 – Circuitos equivalentes da 1ª, 2ª e 3ª etapas de funcionamento.

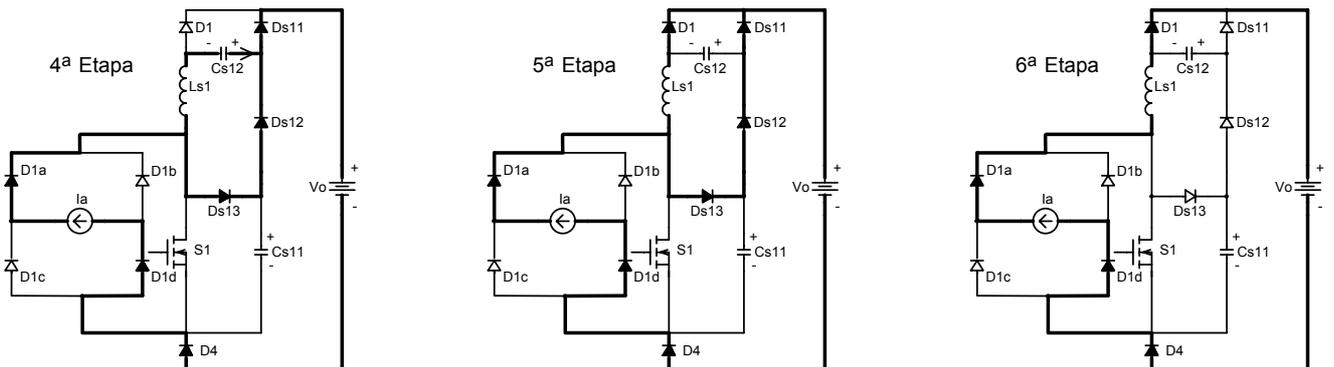


Fig. 14 – Circuitos equivalentes da 4ª, 5ª e 6ª etapas de funcionamento.

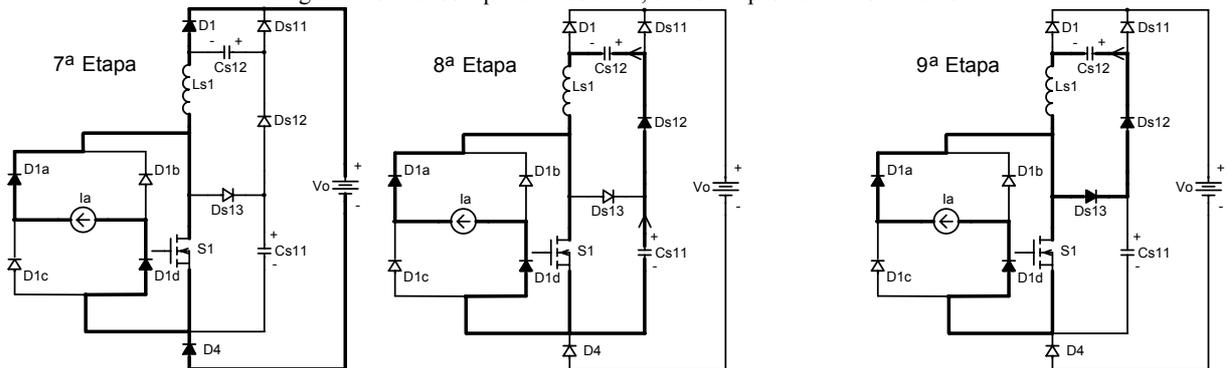


Fig. 15 – Circuitos equivalentes da 7ª, 8ª e 9ª etapas de funcionamento.

V – PROCEDIMENTO DE PROJETO E RESULTADOS EXPERIMENTAIS DA TOPOLOGIA 2 NÍVEIS ESCOLHIDA

Um protótipo da topologia dois níveis escolhida (Fig. 4) foi projetado, implementado e testado. Sejam as seguintes especificações do conversor:

$P_o = 6 \text{ kW}$; $f_{\text{rede}} = 60 \text{ Hz}$; $\eta = \eta_{\text{ret}} \cdot \eta_{\text{cc-cc}} = 0,88$; $f_s = 50 \text{ kHz}$;
 $\Delta i_{a,b,c,\text{max}} = 10\% i_{a,b,c}$; $V_L = 220V_{\text{ef}}$ (+20% -30%)

Onde V_L é a tensão de linha eficaz nominal; Δi , é o *ripple* relativo a corrente de pico máxima de entrada.

Para estipular o rendimento, considerou-se que um conversor CC-CC esteja conectado ao retificador e que o rendimento global seja de no mínimo 88%, conforme os padrões Telebrás.

O valor de pico máximo e mínimo da tensão de linha e de fase é calculado como segue:

$$V_{L,\text{pico,max}} = \sqrt{2} \cdot V_L \cdot 1,2 = \sqrt{2} \cdot 220 \cdot 1,20 = 373,4V \quad (45)$$

$$V_{L,\text{pico,min}} = \sqrt{2} \cdot V_L \cdot 0,7 = \sqrt{2} \cdot 220 \cdot 0,7 = 217,8V \quad (46)$$

$$V_{f_{\text{pico,max}}} = \frac{V_{L,\text{pico,max}}}{\sqrt{3}} = \frac{373}{\sqrt{3}} = 215V \quad (47)$$

$$V_{f_{\text{pico,min}}} = \frac{V_{L,\text{pico,min}}}{\sqrt{3}} = \frac{217}{\sqrt{3}} = 125,7V \quad (48)$$

A tensão no barramento CC do retificador deve ser maior que o valor de pico máximo da tensão de linha. Então defini-se este valor 20% acima da tensão de linha máxima.

$$V_o = V_{L,\text{pico,max}} \cdot 1,2 = 373 \cdot 1,2 \cong 450V \quad (49)$$

A corrente de pico máxima é calculada a seguir, considerando que P_o seja a potência na saída do suposto conversor CC-CC.

$$I_{a,b,c,\text{pico,max}} = \frac{2}{3} \cdot \frac{P_o}{V_{f_{\text{pico,min}}}} \cdot \eta = \frac{2}{3} \cdot \frac{6 \cdot 10^3}{125,7 \cdot 0,88} = 36,16A \quad (50)$$

O valor mínimo da indutância de entrada do retificador, determinado para o setor de operação em que ocorre a maior ondulação pode ser calculado por (51).

$$L_{a,b,c} = \frac{V_{f_{pico\min}}}{f_s \cdot \Delta i_{a,b,c}} \cdot \left(1 - \frac{3}{2} \cdot \frac{V_{f_{pico\min}}}{V_o}\right) \cong 400\mu\text{H} \quad (51)$$

A. Controle do Retificador

A estratégia utilizada para controlar o retificador a dois níveis, aproxima-se muito do que é convencionalmente utilizado nos retificadores monofásicos. Isto é, foram utilizados três circuitos integrados UC3854, onde cada qual controla uma corrente de entrada. Apenas um dos circuitos integrados controla a tensão de saída do conversor, gerando a referência de corrente para os outros dois. Uma malha de *feed-forward* comum a todos também foi utilizada. As tensões de referência senoidais são obtidas da própria rede através de uma conexão Δ/Δ de três transformadores, já que o neutro não se faz presente neste sistema.

B. Projeto das Malhas de Corrente

A fim de garantir a fidelidade do sinal e o isolamento do estágio de controle, sensores de efeito Hall foram utilizados para realizar a amostragem das correntes de entrada e da tensão de barramento. A Fig. 16 representa a estratégia de controle para uma das fases.

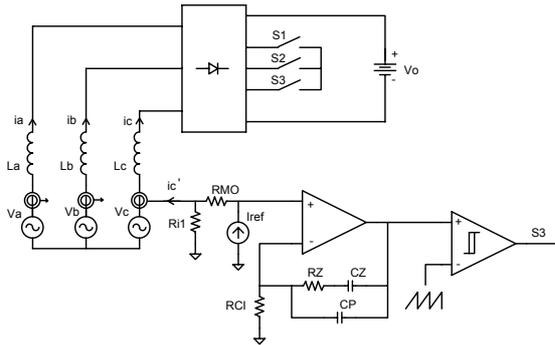


Fig. 16 – Estratégia de controle das correntes.

A função de transferência para o controle das correntes do retificador está apresentada em (52), onde k_{is} e V_T são o ganho do sensor de corrente e o valor de pico da dente de serra do modulador, respectivamente.

$$G_i(s) = \frac{\Delta i_f(s)}{\Delta D(s)} = \frac{2V_o}{s \cdot 3 L_{a,b,c}} \cdot \frac{k_{is}}{V_T} \quad (52)$$

$$G_i(s) = \frac{450}{s \cdot 3 \cdot 400 \cdot 10^{-6}} \cdot \frac{0,05}{5,2} \quad (53)$$

Adotando-se uma valor comercial para R_{CI} , define-se R_{MO} , como segue:

$$R_{MO} = R_{CI} = 5,6 \text{ k}\Omega \quad (54)$$

A fim de assegurar que o ganho na faixa plana do compensador seja de 20 dB, determina-se R_Z .

$$R_Z = 10^{\frac{20}{20}} \cdot R_{CI} = 56\text{k}\Omega \quad (55)$$

O zero do controlador de corrente é posicionado em 2,8 kHz. Assim, a capacitância C_Z pode ser calculada conforme (56) e (57).

$$f_{zi} = 2800\text{Hz} = \frac{1}{2 \pi R_Z C_Z} \quad (56)$$

$$C_Z = \frac{1}{2800 \cdot 2 \cdot \pi \cdot 56 \cdot 10^3} \cong 1 \cdot 10^{-9} \text{F} \quad (57)$$

O pólo do controlador de corrente é posicionado em 20 vezes a frequência do zero, isto é 56kHz. Assim, a capacitância C_P é calculada em (58) e (59):

$$C_p = \frac{C_Z}{2 \cdot \pi \cdot f_{p1} \cdot R_Z \cdot C_Z - 1} \quad (58)$$

$$C_p = \frac{1 \cdot 10^{-9}}{2 \cdot \pi \cdot 56000 \cdot 56000 \cdot 1 \cdot 10^{-9} - 1} \cong 56 \cdot 10^{-12} \text{F} \quad (59)$$

A função de transferência do controlador está representada por (60). A Fig. 17 mostra o diagrama de Bode de ganho das funções de transferência do conversor, controlador e $FTLA_i$. O diagrama de Bode de fase está representado pela Fig. 18. Nota-se que a frequência de cruzamento da $FTLA_i$ ocorre em aproximadamente 1/5 da frequência de comutação, porém pode tornar-se necessário ajustá-la durante a experimentação.

$$H_i(s) = \frac{(1 + s \cdot 56 \cdot 10^{-6})}{s \cdot 5,9 \cdot 10^{-6} \cdot (1 + s \cdot 2,97 \cdot 10^{-6})} \quad (60)$$

C. Projeto da Malha de Tensão do Barramento CC

Uma das principais vantagens da topologia utilizada como retificador dois níveis, foi a reduzida ondulação de baixa frequência presente no barramento de saída do conversor, a qual idealmente é nula. Assim, não fosse a limitação tecnológica que restringe a corrente eficaz circulante nos capacitores de saída, poderiam ser utilizados valores reduzidos desta capacitância, o que propiciaria um controle relativamente mais rápido. Entretanto, foram necessários 3mF de capacitância, obtida através da associação (série/paralela) de capacitores de 1000 $\mu\text{F}/250\text{V}$. O controlador de tensão adotado foi o mesmo utilizado para o controle das correntes, ajustado de tal forma que a frequência de cruzamento em laço aberto da planta ocorresse em 10 Hz.

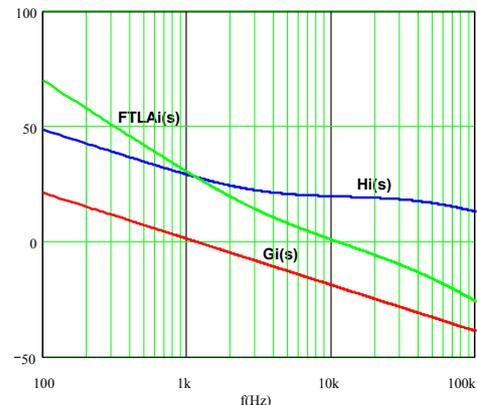


Fig. 17 – Diagrama de Bode de módulo de $G_i(s)$, $H_i(s)$ e $FTLA_i(s)$.

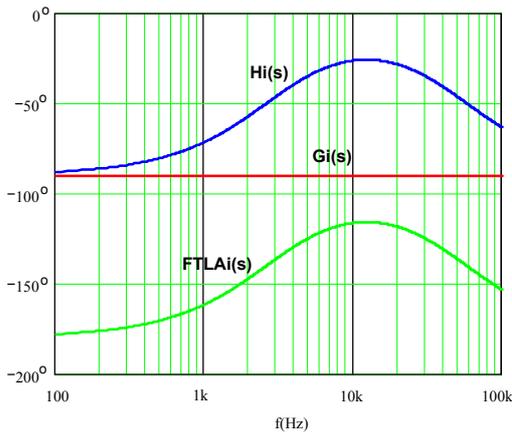


Fig. 18 – Diagrama de Bode de fase de $G_i(s)$, $H_i(s)$ e $FTL A_i(s)$.

D. Resultados Experimentais

Os principais resultados experimentais obtidos para esta topologia são apresentados nesta seção. Os valores comerciais utilizados para implementação do *Snubber* foram os seguintes: $C_{s11}=33\text{nF}$, $C_{s12}=150\text{nF}$, $L_{s1}=4,5\mu\text{H}$.

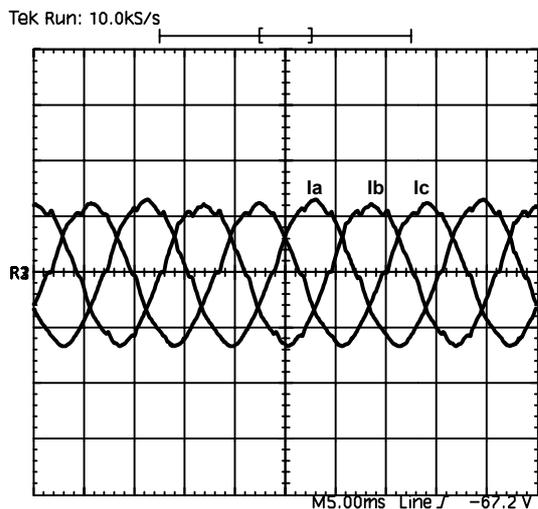


Fig. 19 – Corrente (20A/div.) das três fases do retificador.

Na Fig. 19 são apresentadas as correntes das três fases de entrada do retificador. Por inspeção visual, pode-se notar que os formatos são praticamente senoidais e defasados de 120° . Comprovando a característica de elevado fator de potência atribuída aos retificadores com controle ativo da corrente de entrada, mostra-se na Fig. 20 a tensão e a corrente em uma das fases. A análise harmônica destes resultados é apresentada na Tabela 1.

Na Fig. 21 tem-se um detalhe da tensão de saída e a corrente da fase "a" do retificador. Nesta, observa-se a reduzida ondulação de baixa frequência na tensão de saída, o que reduz em muito os esforços de controle caso um segundo estágio seja conectado ao retificador, como em aplicações típicas de telecomunicações. O transitório completo de partida do retificador trifásico é mostrado pela Fig. 22, em que são monitoradas a corrente de uma das fases e a tensão do barramento. Cabe observar que a pré-carga dos capacitores do barramento foi realizada pelo método convencional, utilizando-se resistores e contactores.

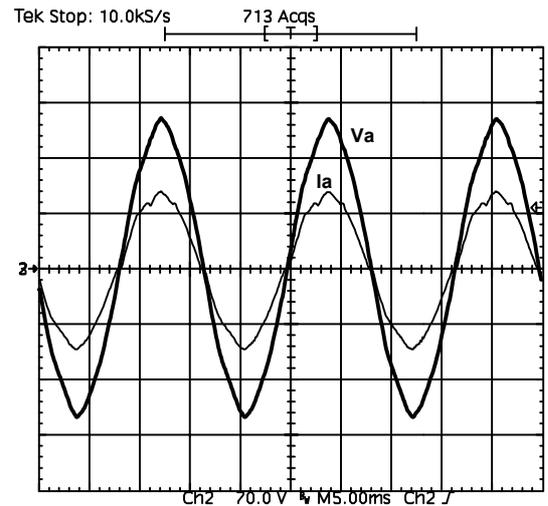


Fig. 20 – Tensão da fase 1 (70V/div) e corrente de entrada (20A/div).

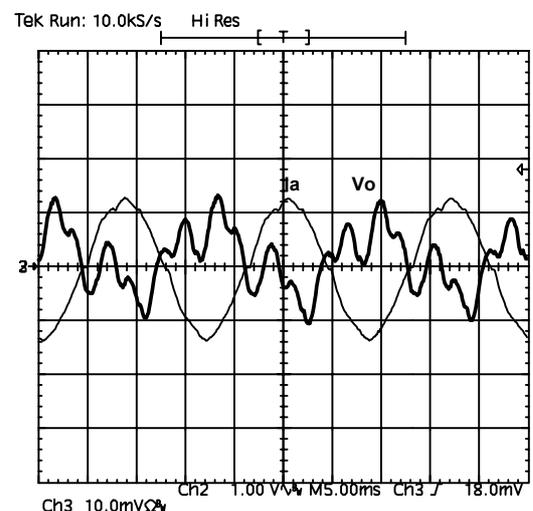


Fig. 21 - Detalhe da tensão de saída do retificador 1V/div e corrente de uma das fases 20A/div.

A tensão sobre um dos diodos do retificador não ultrapassa os 500V, garantindo uma boa margem de segurança para o equipamento projetado, conforme pode ser visto na Fig. 23. Na Fig. 24 apresenta-se a tensão sobre o interruptor MOSFET da fase "a" do retificador. Nas suas derivadas pode ser observada a influência do circuito de ajuda à comutação.

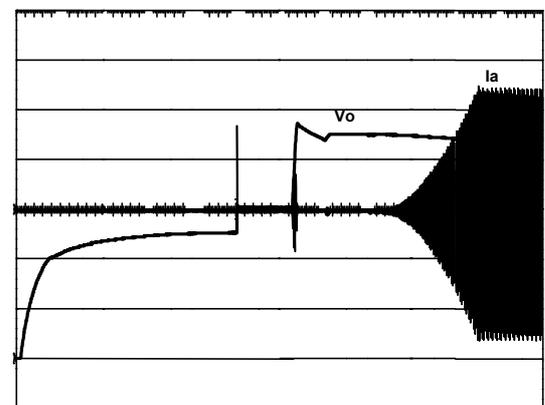


Fig. 22 – Transitório de partida do retificador.

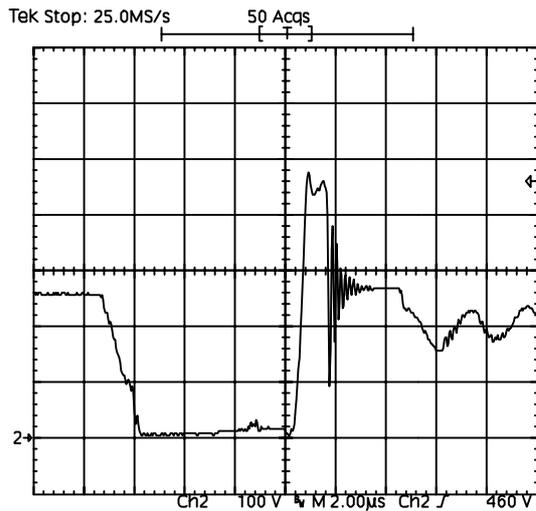


Fig. 23 – Tensão sobre o diodo D₁ do retificador (com snubber).

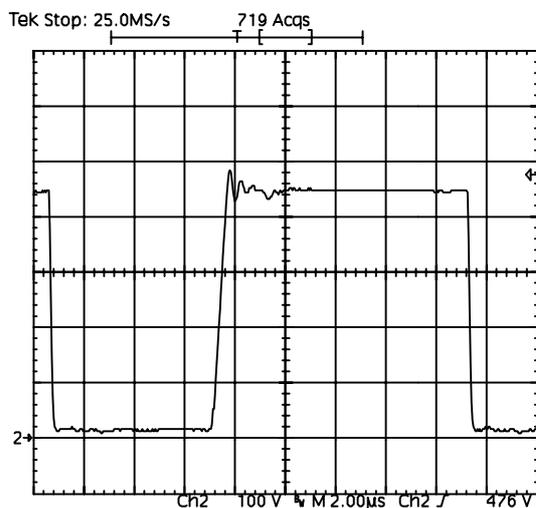


Fig. 24 – Tensão sobre um dos interruptores MOSFET do retificador.

Tabela 1: Taxa de Distorção Harmônica (THD) das tensões e correntes de entrada e fator de potência (FP).

Fases	TDH _v	TDH _i	FP
a	2,57%	5,04%	0,995
b	2,57%	5,66%	0,994
c	4,70%	5,68%	0,992

O comportamento do fator de potência do retificador frente a variações de carga é apresentado na Fig. 25, onde percebe-se os excelentes resultados obtidos.

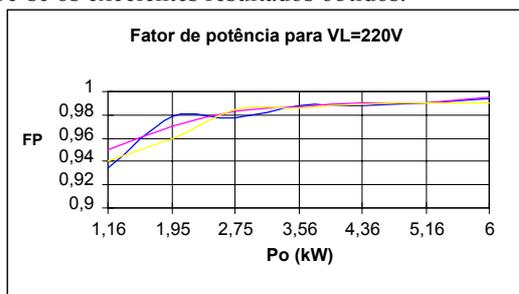


Fig. 25 – Curva de fator de potência das três fases do retificador.

As curvas de rendimento do conversor são mostradas na Fig. 27. Para as condições nominais de operação o

rendimento do retificador situou-se em torno de 95,6%, já para a menor tensão eficaz de entrada, o rendimento teve uma redução de aproximadamente dois pontos percentuais.

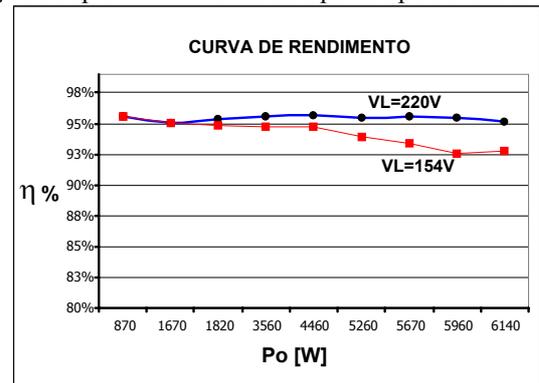


Fig. 26 – Curva de rendimento do retificador em função da potência de saída, tomando-se como parâmetro valores de tensão eficaz de entrada.

VI - PROCEDIMENTO DE PROJETO E RESULTADOS EXPERIMENTAIS DA TOPOLOGIA 3 NÍVEIS ESCOLHIDA

A topologia três níveis escolhida (Fig. 6) foi projetada e testada. As especificações são:

$$P_o = 26\text{kW}, f_{\text{rede}} = 60\text{Hz}, \eta_{\text{ret}} = 0,96, f_s = 70\text{kHz},$$

$$\Delta i_{a,b,c\text{max}} = 10\% i_{a,b,c}, V_{L\text{max}} = 530V_{\text{ef}}, V_{L\text{min}} = 320V_{\text{ef}}$$

Onde V_L é a tensão de linha eficaz e Δi é a ondulação relativa a corrente de pico máxima de entrada.

O valor de pico máximo e mínimo da tensão de linha e de fase é calculado como segue:

$$V_{L\text{pico}\text{max}} = \sqrt{2} \cdot V_{L\text{max}} = \sqrt{2} \cdot 530 = 750\text{V} \quad (60)$$

$$V_{L\text{pico}\text{min}} = \sqrt{2} \cdot V_{L\text{min}} = \sqrt{2} \cdot 320 = 453\text{V} \quad (61)$$

$$V_{f\text{pico}\text{max}} = \frac{V_{L\text{pico}\text{max}}}{\sqrt{3}} = \frac{750}{\sqrt{3}} = 433\text{V} \quad (62)$$

$$V_{f\text{pico}\text{min}} = \frac{V_{L\text{pico}\text{min}}}{\sqrt{3}} = \frac{453}{\sqrt{3}} = 262\text{V} \quad (63)$$

A tensão no barramento CC do retificador deve ser maior que o valor de pico máximo da tensão de linha. A tensão de barramento é então definida 20% acima da tensão de linha máxima.

$$V_o = V_{L\text{pico}\text{max}} \cdot 1,2 = 750 \cdot 1,2 = 900\text{V} \quad (64)$$

As correntes de pico máxima e mínima são calculadas a seguir:

$$I_{a,b,c\text{pico}\text{max}} = \frac{2}{3} \cdot \frac{P_i}{V_{f\text{pico}\text{min}}} = \frac{2}{3} \cdot \frac{26 \times 10^3 / 0,96}{262} = 69\text{A} \quad (65)$$

$$I_{a,b,c\text{pico}\text{min}} = \frac{2}{3} \cdot \frac{P_i}{V_{f\text{pico}\text{max}}} = \frac{2}{3} \cdot \frac{26 \times 10^3 / 0,96}{433} = 42\text{A} \quad (66)$$

O ganho β é calculado de acordo com a equação (67) e a indutância Boost de acordo com a equação (68).

$$\beta = \frac{V_o/2}{V_{f\text{pico}\text{min}}} = \frac{450}{262} = 1,72 \quad (67)$$

$$L_{a,b,c} = \frac{V_o/2}{\Delta I_{a,b,c,max} f_s} \cdot \left(\frac{1}{\beta} - \frac{3}{4 \cdot \beta^2} \right) \cong 400 \cdot 10^{-6} \text{H} \quad (68)$$

A. Controle do Retificador

O retificador a três níveis também é controlado utilizando-se três circuitos integrados do tipo UC3854B, sendo um para cada fase.

O sinal de sincronismo para a geração da corrente de referência é obtido através de três transformadores monofásicos ligados em Δ/Δ . A tensão do barramento CC é controlada pelo 3854 da fase “a”, que também apresenta a malha de feed-forward. O sinal de saída do controlador de tensão e da malha de feed-forward é então entregue aos CIs da fase “b” e “c” para a geração das correntes de referência.

B. Projeto das Malhas de Corrente

Assim como no retificador a 2 níveis, para o retificador a 3 níveis também é necessário se utilizar sensores de efeito Hall para monitorar as correntes de entrada e as tensões no barramento CC, garantindo o isolamento do estágio de controle.

A função de transferência $G_i(s)$ é calculada de acordo com a equação (69).

$$G_i(s) = \frac{\Delta i_f(s)}{\Delta D(s)} = \frac{V_o}{s \cdot 3 L_{a,b,c}} = \frac{900}{s \cdot 3 \cdot 400 \cdot 10^{-6}} = \frac{750 \cdot 10^3}{s} \quad (69)$$

Os resistores R_{MO} , e R_{CI} e R_z são calculados como mostrado a seguir, sendo que K_i é o ganho de amostra da corrente de entrada:

$$R_{MO} = R_{CI} = \frac{i_{a,b,c,limite} K_i}{i_{mult-max}} = \frac{116,45 \cdot 60 \cdot 10^{-3}}{281,4 \cdot 10^{-6}} \cong 22k\Omega \quad (70)$$

$$R_z = 10^{\frac{18}{20}} \cdot R_{CI} \cong 180k\Omega \quad (71)$$

O zero do controlador de corrente é posicionado em 4kHz. Assim, a capacitância C_z é calculada:

$$f_{zi} = 4000\text{Hz} = \frac{1}{2 \pi R_z C_z} \quad (72)$$

$$C_z = \frac{1}{4000 \cdot 2 \cdot \pi \cdot 180 \cdot 10^3} \cong 220 \cdot 10^{-12} \text{F} \quad (73)$$

O pólo do controlador de corrente é posicionado em 32kHz. Assim, a capacitância C_p é calculada:

$$f_{pi} = 32000 \text{Hz} = \frac{C_z + C_p}{2 \pi R_z C_z C_p} \quad (74)$$

$$C_p = \frac{220 \cdot 10^{-12}}{32000 \cdot 2 \cdot \pi \cdot 180 \cdot 10^3 \cdot 220 \cdot 10^{-12} - 1} \cong 33 \cdot 10^{-12} \text{F} \quad (75)$$

A função de transferência do controlador e a função de transferência de laço aberto são apresentadas em (76) e (77), sendo V_T o valor de pico do sinal dente de serra do modulador.

$$H_i(s) = \frac{(1 + s \cdot 39,6 \cdot 10^{-6})}{s \cdot 5,6 \cdot 10^{-6} \cdot (1 + s \cdot 5,1 \cdot 10^{-6})} \quad (76)$$

$$FTLA_i(s) = \frac{K_i}{V_T} \cdot G_i(s) \cdot H_i(s) \quad (77)$$

A Fig. 27 mostra o diagrama de Bode de módulo e a Fig. 28 o diagrama de Bode de fase da função de transferência do conversor, do controlador e da função de transferência de laço aberto. A frequência de cruzamento da $FTLA_i$ ficou em 10kHz.

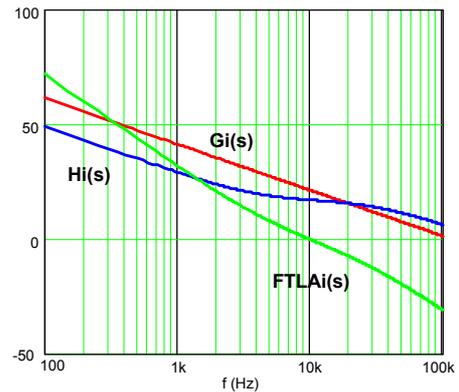


Fig. 27 – Diagrama de Bode de módulo de $G_i(s)$, $H_i(s)$ e $FTLA_i(s)$.

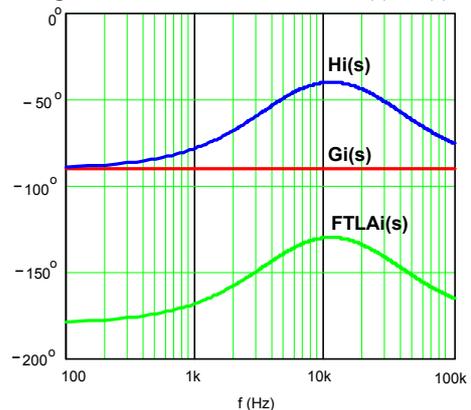


Fig. 28 – Diagrama de Bode de fase de $G_i(s)$, $H_i(s)$ e $FTLA_i(s)$.

C. Projeto da Malha de Tensão do Barramento CC

Para compor os capacitores de saída é utilizada uma associação série/paralelo de capacitores de 10mF/250V da Siemens (B43875), resultando em um capacitor total de 5mF/1000V.

O controlador adotado foi o mesmo utilizado para as malhas de corrente e foi ajustado de tal forma que a frequência de cruzamento de ganho da $FTLA_v$ ocorresse em aproximadamente 10Hz.

D. Projeto da Malha de Balanceamento das Tensões no Barramento CC

O balanceamento das tensões dos capacitores do barramento CC é fundamental para que se garanta que todos os semicondutores fiquem submetidos à metade da tensão de barramento. Esta malha já possui um integrador e portanto, um controlador do tipo proporcional é utilizado. O ganho do controlador foi ajustado por simulação e no laboratório.

E. Resultados Experimentais

Os resultados experimentais do retificador 3 níveis são apresentados nesta seção. O circuito *Snubber* foi projetado de acordo com [8], resultando em $C_{s11}=68\text{nF}$, $C_{s12}=330\text{nF}$ e $L_{s1}=2\mu\text{F}$.

Os resultados apresentados nas Figs. 30 a 32 são para a tensão mínima de entrada ($V_{f_{pico,min}} = 262\text{V}$). Na Fig. 29 são apresentadas a tensão da rede na fase “a” e as correntes nas três fases. Pode-se observar o elevado fator de potência e a defasagem de 120° entre as correntes. A análise harmônica das tensões e correntes de entrada é apresentada na Tabela 2, estando em conformidade com a norma IEC-61000-3-4.

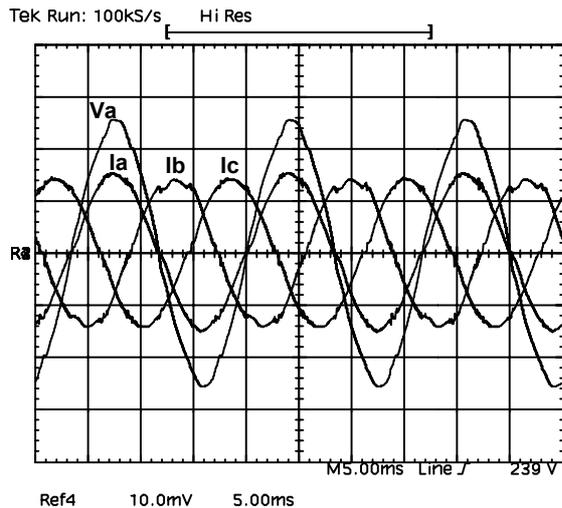


Fig. 29 – Tensão da Rede na fase “a” (100V/div.) e correntes de entrada nas três fases (50A/div.).

Na Fig. 30 pode-se observar a tensão sobre o MOSFET S_{1a} da fase “a”, na qual verifica-se o controle das derivadas de tensão proporcionado pelo circuito *Snubber*.

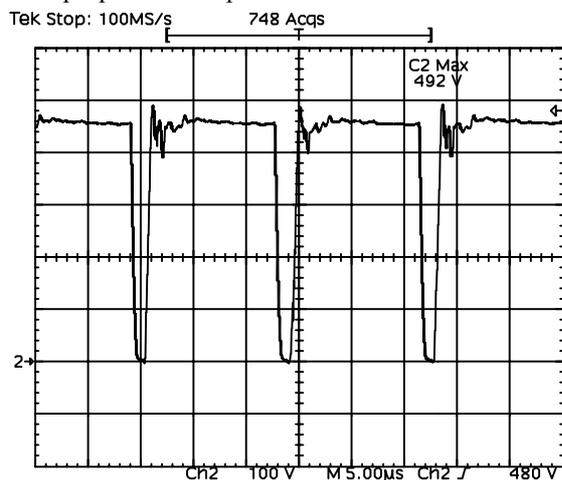


Fig. 30 – Tensão na chave S_{1a} (100V/div.).

Na Fig. 31 verifica-se que a tensão sobre o diodo Boost D_1 é maior que a metade da tensão de barramento. Isto acontece apenas nos diodos Boost (D_1 , D_2 , D_3 , D_4 , D_5 e D_6) pois a metade da tensão de barramento é somada a tensão no capacitor C_{s12} , ao final da etapa 4 de operação do *Snubber*.

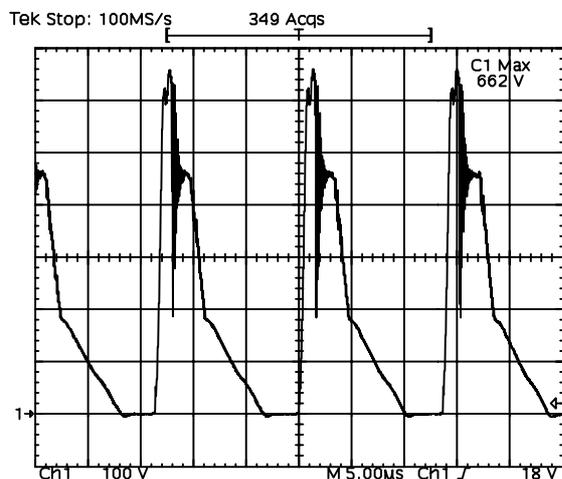


Fig. 31 – Tensão no Diodo Boost D_1 (100V/div.).

Tabela 2: distorção harmônica das tensões e correntes de entrada e fator de potência.

Fases	TDH _v	TDH _i	FP
a	2,45%	5,33%	0,992
b	2,50%	5,12%	0,998
c	2,85%	8,36%	0,995

Na Fig. 32 mostra-se o transitório completo de partida do retificador, apresentando-se a tensão em cada um dos capacitores do barramento e a corrente em uma das fases. A pré-carga dos capacitores do barramento é realizada com resistores e contactores. O retificador parte a vazio e após a estabilização das tensão de barramento, pode-se colocar carga.

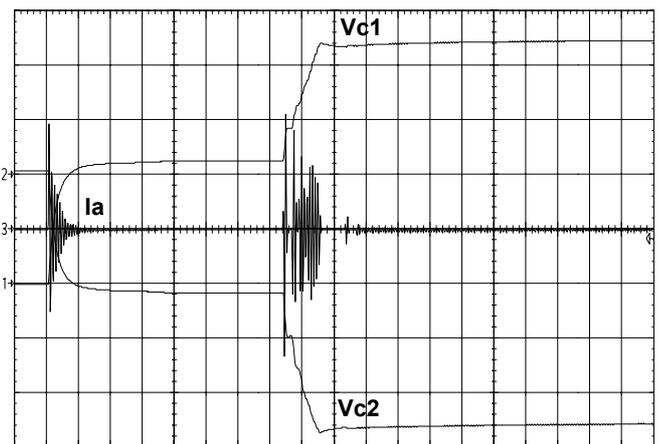


Fig. 32 – Transitório de partida do retificador (100V/div., 20A/div.).

A curva de rendimento do retificador para a tensão mínima de entrada é apresentada na Fig. 33. O rendimento para tensão máxima não foi medido, mas deve ser superior, pois as correntes são menores.

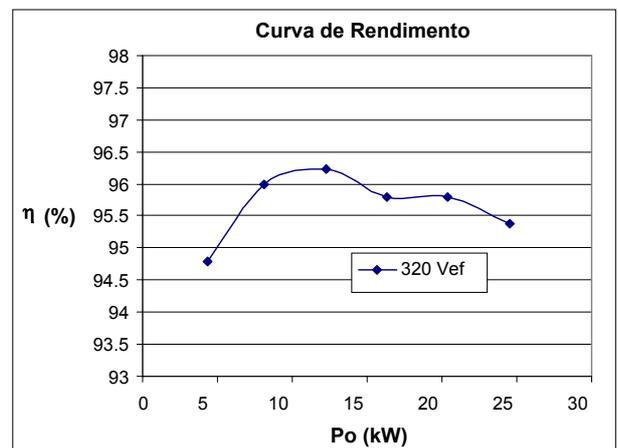


Fig. 33 - Curva de rendimento do retificador em função da potência, para a tensão mínima de entrada.

VII CONCLUSÃO

Foram apresentadas algumas das principais topologias encontradas na literatura, para conversores CA-CC PWM trifásicos, dois e três níveis, dentre as quais foram selecionadas duas topologias, uma em 2 e outra em 3 níveis. Os principais critérios utilizados na escolha destas topologias foram: simplicidade, menor quantidade de componentes e menores esforços.

Na sequência foi apresentada uma modelagem genérica para estes conversores, apresentando-se um modelo completo e outro simplificado, sendo utilizado este último para projetar os controladores.

Foi apresentado ainda um *Snubber* passivo não dissipativo, para garantir a comutação suave dos interruptores, reduzindo as perdas por comutação.

Finalmente, apresenta-se o projeto e os resultados experimentais obtidos, a partir de dois protótipos implementados, um 2 níveis de 6kW e outro 3 níveis de 26kW.

Observou-se uma pequena distorção nas correntes de entrada obtidas experimentalmente, em relação às observadas em simulação. Isto se deve principalmente às distorções das tensões da rede de alimentação, combinada ao fato de se ter utilizado o modelo simplificado do conversor, de forma que os controladores não agem de forma independente, mas interagem entre si. Mesmo assim, ambos os resultados atendem a norma IEC –61000-3-4.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] N. Mohan, T. M. Undeland, W. P. Robbins. "Power Electronics: Converters, Applications, and Design", John Wiley & Sons, 1989.
- [2] T. Salzmänn and A. Weschta, "Progress in voltage source inverters and current source inverters", Conf. Rec. of IEEE-IAS Annual Meeting, pp. 577-583, 1987.
- [3] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped PWM inverter", IEEE Trans. Ind. Appl., vol 17, no. 5, pp.518-523, Sept/Octo, 1981.
- [4] G. Spiazzi, and F. C. Lee, "Implementation of single-phase boost power factor correction circuits in three-phase applications", Switching Rectifiers for Power Factor Correction, Volume V, VPEC Publication Series.
- [5] Y. Zhao, Y. Li, and T. A. Lipo, "Force Commutated Three Level Boost Type Rectifier", IEEE Trans. Ind. Appl., vol. 31, no. 1, January/February 1995.
- [6] J. W. Kolar, and F. C. Zach, "A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications", Proc. of IEEE Int. Telecommunications Energy Conf., pp. 367-374, 1994.
- [7] J. W. Kolar, F. C. Zach, "A Novel Three-Phase Three Level Unity Power Factor PWM Rectifier", 28th Power Conversion Conference, Nürnberg, Germany, June 28-30, 1994, pp. 125-138.
- [8] A. C. C. Neto, "Retificador PWM Trifásico de 26 kW, Três Níveis, Unidirecional, Fator de Potência Unitário e Alto Rendimento para Aplicação em Centrais de Telecomunicação", Dissertação de Mestrado, INEP/EEL/UFSC, Abril/2002.
- [9] D. Borgonovo, "Modelagem e Controle de Retificadores PWM Trifásicos Empregando a Transformação de Park", Dissertação de Mestrado, INEP/EEL/UFSC, Novembro/2001.
- [10] V. Vorpérian, "Simplified Analysis of PWM Converters Using the Model of the PWM Switch: Parts I and II", IEEE Trans. Aerospace and Electronic Systems 26, May 1990, pp. 490-505.

Ivo Barbi recebeu os graus de Engenheiro Eletricista e Mestre em Engenharia Elétrica em 1973 e 1976, respectivamente, pela Universidade Federal de Santa Catarina, e o grau de Doutor em Engenharia pelo Institut National Polytechnique de Toulouse, França, em 1979. Ivo Barbi fundou a Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e o Instituto de Eletrônica de Potência da Universidade Federal de Santa Catarina. Atualmente ele é Professor Titular em Eletrônica de Potência. Desde 1992 ele é Editor Associado na área de Conversores de Potência da IEEE Transactions on Industrial Electronics. Seus campos de interesse são conversores estáticos para alta frequência e alto rendimento e correção do fator de potência de fontes de alimentação.

Yales Rômulo Novaes, Nasceu em Indaial - SC, concluiu o curso em Engenharia Elétrica Industrial pela FURB - Universidade Regional de Blumenau em 1998 e o mestrado no Instituto de Eletrônica de Potência - INEP na Universidade Federal de Santa Catarina em 2000. Entre 2000 e 2001 trabalhou como engenheiro de desenvolvimento no INEP onde atualmente está realizando seu doutoramento em eletrônica de potência, pesquisando na área de células a combustível. Suas áreas de interesse são: células a combustível, retificadores com alto fator de potência, inversores, comutação suave e conversores para telecomunicações.

Fabiana Pöttker de Souza recebeu os graus de Engenheira Eletricista, Mestre e Doutora em Engenharia Elétrica em 1995, 1997 e em 2000, respectivamente, pela Universidade Federal de Santa Catarina. Atualmente é Professora substituta na Universidade Federal de Santa Catarina (UFSC) e Engenheira de Desenvolvimento no INEP-UFSC. Suas áreas de interesse incluem correção do fator de potência de fontes de alimentação e filtros ativos.

Devis Borgonovo Nasceu em Rio do Sul – SC em 1977, recebeu os graus de Engenheiro Eletricista e Mestre em Engenharia Elétrica em 1999 e 2001 respectivamente, pela Universidade Federal de Santa Catarina – UFSC -. Atualmente é doutorando no Instituto de Eletrônica de Potência – INEP – na UFSC. Suas áreas de interesse incluem correção de fator de potência, retificadores trifásicos com alto fator de potência e controle de conversores estáticos.

IMPLEMENTAÇÃO E CONTROLE DE RETIFICADOR TRIFÁSICO DE ALTA QUALIDADE COM COMUTAÇÃO EM BAIXA FREQUÊNCIA

Joanna A. G. Marafão

DSCE – FEEC – UNICAMP
C.P. 6101
13081-970 Campinas – SP
Brasil

José Antenor Pomilio

Giorgio Spiazzi
Universidade de Pádua
Via Gradenigo 6/a,
35131 Padova – PD
Itália

Resumo – A implementação de um retificador trifásico de 10 kW de alta qualidade, baseado na ponte retificadora convencional com a adição de uma célula de comutação é apresentada neste artigo. Comparado com outros retificadores comutados na frequência da linha, o circuito proposto não viola os limites de distorção da corrente, definidos na recomendação técnica IEC 61000-3-4, em nenhum nível de potência. A topologia permite ainda o controle da tensão de saída, regulando-a contra variações na carga e na entrada. O controle é feito com o auxílio de um microcontrolador PIC17c756. Foi construído um protótipo e os resultados confirmam a análise teórica.

Abstract – This article presents the implementation of a 10 kW high-quality three-phase diode rectifier, based on a conventional rectifier with an add-on cell with line-frequency commutated AC switches. As compared to other line-frequency commutated rectifiers, the proposed circuit allows compliance with the low-frequency harmonic limits defined in the technical report IEC 61000-3-4 for any power range. Additionally it is possible to control the output voltage, rejecting load and input voltage variations. The control was made with the microcontroller PIC17c756. A prototype was built and tested. The results confirm the theoretical analysis.

I. INTRODUÇÃO

Estudos vêm demonstrando que é cada vez maior o percentual de cargas elétricas que utilizam algum tipo de conversor eletrônico de potência. Estimativas indicam que aproximadamente 50% de toda a energia elétrica consumida passe por algum tipo de processamento eletrônico [1].

Em grande parte destas cargas, sejam industriais ou residenciais, tem-se a presença de um estágio retificador na conexão com a rede, com a alimentação da carga sendo feita a partir da tensão contínua obtida em sua saída (conversores de frequência, UPSs, equipamentos de informática, áudio, vídeo, iluminação, etc.).

A estrutura mais simples para tais retificadores, desde que não seja necessário um ajuste no valor da tensão contínua, é a de um retificador com um filtro capacitivo. No entanto, sabe-se que tais circuitos, sejam eles monofásicos ou trifásicos, apresentam um baixo fator de potência (em torno de 0,6) e distorção harmônica na corrente que em muito excede os limites estabelecidos por normas ou recomendações internacionais, como IEC 61000-3-2 [2] e IEC 61000-3-4 [3].

Indutores e capacitores podem ser utilizados em conjunto

com pontes retificadoras para melhorar a forma de onda da corrente de entrada. A simples adição de um indutor na entrada da ponte de diodos já causa uma melhora: diminui a distorção da forma de onda da corrente e o fator de potência se eleva.

Os atrativos do uso de filtros LC para melhorar o fator de potência são sua simplicidade, baixas perdas e confiabilidade, devido à ausência de elementos ativos. No entanto, também apresentam inúmeras desvantagens que limitam sua aplicação, como resposta dinâmica pobre, são pesados e volumosos, não possibilitam regulação de tensão, afetam as formas de onda na frequência fundamental e seu correto dimensionamento não é simples.

As soluções ativas são mais vantajosas. Topologias com chaveamento em alta frequência levam a uma drástica redução nos valores dos elementos passivos (indutores e capacitores) utilizados, mas podem produzir problemas de interferências eletromagnéticas.

As topologias com chaveamento em baixa frequência apresentam uma redução nas perdas por comutação e produzem menos interferência eletromagnética. Embora os elementos magnéticos sejam maiores dos que os usados nos retificadores com comutação em alta frequência, é possível que o volume total do retificador seja menor, pela minimização de filtros de EMI (do inglês *Electromagnetic Interference*) e pela minimização dos dissipadores de calor [4].

Uma das técnicas para minimização da distorção da corrente é a injeção de uma corrente na frequência do terceiro harmônico na entrada do retificador [5-7], a qual resulta numa forma de onda com um valor de distorção harmônica total (THD, *Total Harmonic Distortion*) próxima a 5%.

Em [5] tal corrente de entrada é gerada no estágio CC do retificador, através de dois conversores tipo *boost*. A injeção de terceiro harmônico na entrada é feita através de três ramos L-C. Esta mesma topologia pode ser usada como inversor [6]. Porém apresenta algumas desvantagens: em aplicações de potência elevada, os elementos magnéticos podem apresentar um volume grande e existe a possibilidade de ocorrer uma ressonância devido à interação entre a impedância da rede e a do ramo L-C.

Com a utilização de um transformador Zig-zag [7] para fazer a injeção de terceiro harmônico, afasta-se a possibilidade de ressonância. A principal vantagem desta topologia é que sua operação independe da impedância da linha, mas exige um transformador especial.

Em [8], tem-se um retificador de 12 pulsos com um autotransformador com dois enrolamentos por fase. Novamente tem-se um elemento magnético relativamente

complexo sem possibilidade de controle da tensão de saída.

Em [9] tem-se um circuito que permite, sem alterações significativas na topologia básica do retificador, elevar o fator de potência. A idéia é forçar a existência de uma corrente na fase que estaria desconectada sem alterar o comportamento da saída. No entanto, aparecem picos de tensão sobre os componentes nos momentos de abertura dos interruptores, devido ao desequilíbrio instantâneo das correntes, os quais devem ser limitados por circuitos *snubber*. Outra desvantagem é a necessidade da alimentação ser feita com neutro acessível, pelo qual circula uma corrente de terceiro harmônico de amplitude significativa.

Visando eliminar alguns destes problemas, foi desenvolvido o conversor Curi [10]. A principal diferença é que neste caso existe um caminho para a corrente presente nos indutores quando o interruptor deixa de conduzir. A continuidade se dá pela condução dos diodos da ponte retificadora trifásica, passando pelos capacitores de filtro. O capacitor de saída deve ser substituído por dois capacitores, criando um ponto médio, ou seja, há necessidade de intervenção na topologia.

Topologicamente o conversor Curi é idêntico ao retificador apresentado em [11]. A diferença entre ambos é a comutação, que em [11] é feita em alta frequência.

Este trabalho propõe o desenvolvimento de um retificador com uma estrutura similar àquela apresentada em [10], mas que assegura o atendimento das limitações impostas pela IEC 61000-3-4, além de não exigir a alteração na topologia de retificadores já existentes. Na presente proposta, os indutores de entrada realizam uma ressonância com os capacitores adicionados no barramento CC, o que reduz o conteúdo harmônico da corrente de entrada, para valores abaixo do limite recomendado pela IEC 61000-3-4 para qualquer nível de potência. No conversor Curi, como os capacitores são de valor muito maior, os mesmos se comportam como fontes de tensão, não se verificando formas de onda suavizadas, típicas das ressonâncias, de maneira que os limites de [3] nunca são atendidos para algumas ordens harmônicas.

Outro aspecto refere-se à aplicação de uma carga que absorva corrente pulsada em alta frequência. No conversor Curi esta corrente circularia pelos dois capacitores, enquanto na topologia proposta ocorre um desacoplamento dos estágios de entrada e saída, concentrando-se os componentes de alta frequência no capacitor de saída, minimizando a propagação de ruído para a rede.

A topologia proposta está apresentada na seção II. Nas seções III e IV tem-se a descrição da construção do protótipo e a implementação dos circuitos responsáveis pela estrutura de acionamento e controle do retificador trifásico proposto. Na seção V são indicados procedimentos de projeto. Os resultados obtidos experimentalmente estão apresentados na seção VI.

II. TOPOLOGIA PROPOSTA

A topologia proposta está representada na Figura 1. Um aspecto interessante desta topologia é poder ser implementada em retificadores já existentes, uma vez que os elementos necessários (interruptores e capacitores) podem ser

adicionados ao circuito original, sem necessidade de mudanças significativas.

O papel dos interruptores (que devem ser bidirecionais em tensão e corrente) é fazer com que ocorra uma ressonância entre os indutores de entrada e os capacitores de saída, possibilitando a existência de corrente nas fases durante todo o semiciclo, acompanhando a forma de onda da tensão, conforme mostra a Figura 2.

A topologia de retificador trifásico proposta apresenta um reduzido valor para as capacitâncias C_1 e C_2 , ($C_1=C_2$) responsáveis pela ressonância com o indutor de entrada ($L_1=L_2=L_3$) durante os intervalos de chaveamento. O capacitor de saída, C_o , em relação ao conversor Curi, apresenta, para um mesmo *ripple* de saída, metade do valor da capacitância.

Como parâmetro de qualidade, foram considerados os limites fornecidos pela IEC 61000-3-4 apresentados na Tabela I: “Estágio 1: Valores de emissão de corrente para conexão simplificada de equipamentos ($S_{equ} \leq S_{sc} / 33$)”, que é válida quando a potência aparente da carga é menor que 3% da potência de curto circuito do alimentador. Cada limite harmônico de corrente é especificado como função da componente fundamental.

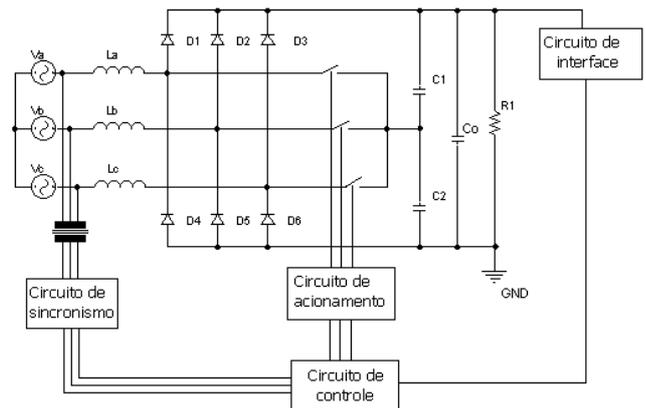


Figura 1 - Topologia proposta com diagrama de controle.

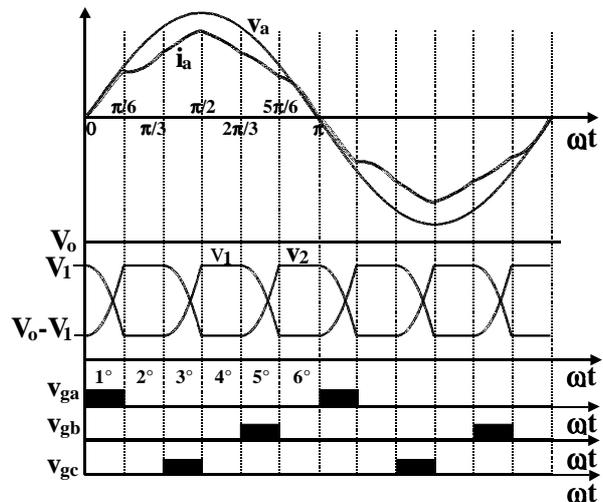


Figura 2 - De cima para baixo: Tensão da fase a; Corrente da fase a; Tensão de saída; Tensões nos capacitores C_1 e C_2 e sinais de comando para interruptores.

Tabela I - "Valores de emissão de corrente para conexão simplificada de equipamentos ($S_{equ} \leq S_{sc}/33$)"

Ordem harmônica n	Corrente harmônica admissível I_n/I_1^* %	Ordem harmônica n	Corrente harmônica admissível I_n/I_1^* %
3	21,6	21	$\leq 0,6$
5	10,7	23	0,9
7	7,2	25	0,8
9	3,8	27	$\leq 0,6$
11	3,1	29	0,7
13	2	31	0,7
15	0,7	≥ 33	$\leq 0,6$
17	1,2		
19	1,1	Ordem par	$\leq 8/n$ ou $\leq 0,6$

Os interruptores utilizados manobram uma pequena fração da potência total do conversor. Sua operação em baixa frequência praticamente elimina as perdas de chaveamento.

Em [12] pode-se encontrar a análise matemática e o método utilizado para projeto dos componentes deste retificador.

A comutação confere à topologia a capacidade de elevar a tensão de saída acima dos valores que seriam obtidos simplesmente com o filtro passivo.

O valor da elevação da tensão depende da indutância de entrada e do intervalo de condução dos interruptores. Controlando-se este intervalo é possível regular a tensão de saída.

III. IMPLEMENTAÇÃO

A. Circuito de Sincronismo

Sua função é detectar a passagem da tensão de cada uma das fases da rede elétrica por zero e sinalizar ao microcontrolador para que este possa gerar os pulsos de comando adequados.

As tensões da rede elétrica são obtidas através de um transformador trifásico que isola e reduz o valor da tensão de entrada. Existe um circuito de sincronismo para cada fase.

A detecção dos momentos da passagem das tensões de fase por zero é feita através de comparadores analógicos. Os ruídos de alta frequência são descartados por um filtro RC sem inserir atraso significativo.

B. Circuito de Interface da Tensão de Saída

Este circuito faz a adaptação do nível da tensão de saída do conversor, a qual será amostrada, a um nível de tensão de entrada admissível ao conversor analógico-digital do microcontrolador, que é de 5V.

Como o sinal de saída apresenta um *ripple* em 360Hz, foi necessário implementar um filtro passa-baixas de primeira ordem para atenuá-lo, com frequência de corte do filtro de 36Hz.

C. Circuito de Controle

Este circuito é responsável pelos cálculos e pela geração dos pulsos de comando dos interruptores e foi implementado com o microcontrolador PIC 17c756a.

O sinal da tensão de saída é subtraído da referência e o erro resultante é aplicado a um controlador do tipo

proporcional-integral (PI). O sinal de controle resultante irá determinar o momento do início de condução dos interruptores e o tempo que estes permanecerão conduzindo, entre 0 e $\pi/6$, para obter a tensão de saída desejada. A informação de cruzamento por zero é proveniente do circuito de sincronismo.

D. Circuito de Acionamento

Sua função é acionar os interruptores, seguindo o comando do circuito de controle. Para fazer a isolação dos interruptores em relação ao microcontrolador foram utilizados isoladores ópticos.

Os interruptores auxiliares Sa, Sb e Sc são bidirecionais em tensão e corrente, formados por uma ponte retificadora monofásica SKB 15/04 e IGBT IRG4PC50UD. Permite que a corrente flua em ambos os semiciclos, possibilitando a troca de energia entre os indutores de entrada e os capacitores. A frequência de comutação dos IGBTs é de 120Hz, com tempo de condução máximo de 1,388ms, que corresponde a 30° do ciclo da rede.

IV. ASPECTOS GERAIS DO CONTROLE

O controle deste retificador foi feito com o uso do microcontrolador PIC 17c756a. Embora nem todos os recursos disponíveis sejam necessários para esta aplicação, sua utilização levou em conta a uniformização de plataformas usadas em vários projetos em andamento no laboratório. Para melhor compreensão o diagrama em blocos do controle é apresentado na figura 3 e, a seguir, tem-se uma breve explicação de cada uma das etapas.

A. Inicialização das variáveis

A primeira etapa do controle digital é a inicialização de algumas variáveis, calculadas previamente, que permitirão o correto funcionamento do retificador, a habilitação ou desabilitação das interrupções, a configuração do *timer* e das portas de entrada/saída (I/O).

B. Leitura da tensão de saída

Após a inicialização do programa e sempre que um novo ciclo de programa se inicia, o conversor analógico/digital faz a leitura da tensão de saída.

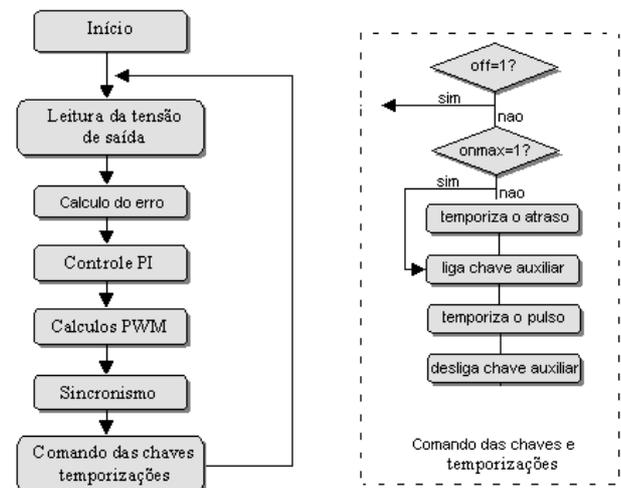


Figura 3 - Diagrama de Blocos do controle.

C. Compensador PI

O compensador escolhido para ser implementado é do tipo proporcional-integral.

A tensão de erro V_e é calculada a partir da tensão de saída V_s , obtida pelo conversor A/D e a tensão de referência V_{ref} , previamente determinada e inserida na rotina de inicialização.

É gerada uma variável de controle V_c que será usada para os cálculos da largura de pulso do comando.

D. Cálculo da largura de pulso

Para o controle dos interruptores optou-se pela modulação por largura de pulso (PWM) para variarmos o tempo em que os interruptores permanecem conduzindo.

O sinal de controle dos interruptores é obtido de forma análoga à comparação do sinal de controle proveniente do controlador PI com uma onda portadora triangular, de frequência $f = 360\text{Hz}$. Considerando que as tensões fase-neutro nas três fases evoluem na seqüência V_a , V_b e V_c , os interruptores serão disparados na seqüência S_a , S_c e S_b , conforme mostra a figura 2.

A estratégia de controle adotada para regular a tensão de saída atrasa o instante de condução dos interruptores em relação ao instante do cruzamento da respectiva tensão de fase por zero, enquanto que o instante em que deixam de conduzir é mantido constante.

Após os cálculos necessários para a modulação, são feitas duas verificações:

1. se existe a necessidade de condução de um dos interruptores auxiliares, pois para cargas leves a tensão de saída tende a aumentar, sendo necessário diminuir ou até mesmo suprimir o tempo de condução dos interruptores.
2. se existe atraso, em relação ao cruzamento por zero da tensão, no instante de condução dos interruptores, pois na potência nominal o tempo de condução é máximo e os interruptores auxiliares passam a conduzir a partir do instante do cruzamento por zero.

E. Comando dos interruptores e temporizações

Optou-se por fazer o sincronismo através de um circuito externo, que envia essa informação ao microprocessador.

Após o programa receber o sinal de sincronismo, verifica-se se deve ou não ser ligado um interruptor auxiliar. Caso não seja necessário, o programa volta para o início de um novo ciclo. Em seguida verifica-se também se um dos interruptores deve conduzir pelo tempo máximo. Caso seja necessário, o programa pula para o comando de ligar o interruptor, senão o temporizador é carregado com o valor correspondente ao atraso de comutação do interruptor auxiliar e é acionado.

V. PROCEDIMENTO DE PROJETO

A definição do valor das indutâncias de entrada e dos capacitores ressonantes, conforme descrito em detalhes [12], utiliza o seguinte procedimento:

Sejam $\alpha = \frac{\omega_0}{\omega}$, $\omega_0 = \frac{1}{\sqrt{3LC}}$ e ω a frequência angular da rede.

1. Escolha do valor de α , entre os valores de α_{\min} e α_{\max} .

O valor mínimo é aquele que garante que todos os harmônicos obedecem ao limite da IEC 61000-3-4, para qualquer potência, enquanto o valor máximo é dado pela excursão completa da tensão nos capacitores ressonantes. $\alpha_{\max} = 3,952$ e $\alpha_{\min} = 1,95$ [12].

2. Cálculo da indutância de entrada necessária para a potência de entrada P_{in}

$$P_{in} = \frac{3}{\pi} \int_0^{\pi} v_a(\theta) \cdot i_a(\theta) d\theta = \frac{3V_p^2}{\pi\omega L} \int_0^{\pi} v_{an}(\theta) \cdot i_{an}(\theta) d\theta = \frac{V_p^2}{\omega L} P_{inN} \quad (1)$$

$$L = \frac{V_p^2}{\omega P_{inN}} P_{inN} \quad (2)$$

onde:

v_{an} é a tensão de entrada normalizada em relação ao seu valor de pico (V_p).

i_{an} é a corrente de entrada normalizada em relação a ($V_p/\omega L$).

P_{inN} é a potência de entrada normalizada em relação a ($V_p^2/\omega L$), sendo função apenas do parâmetro α , e pode ser obtida da curva mostrada na figura 4.

3. Cálculo dos capacitores ressonantes a partir dos valores de α e L

4. Verificar a tensão média de saída máxima (V_{Omax});

$$V_{Omax} = \frac{18V_p}{7\pi} \left\{ 1 + \frac{1}{(\alpha^2 - 1)} \left[\frac{\alpha^2 \sqrt{3}}{2} - \cos\left(\frac{\alpha\pi}{6}\right) + F(\alpha) \sin\left(\frac{\alpha\pi}{6}\right) \right] \right\} \quad (3)$$

$$\text{onde } F(\alpha) = \frac{\frac{\alpha}{2} - \sin\left(\frac{\alpha\pi}{6}\right)}{1 + \cos\left(\frac{\alpha\pi}{6}\right)}$$

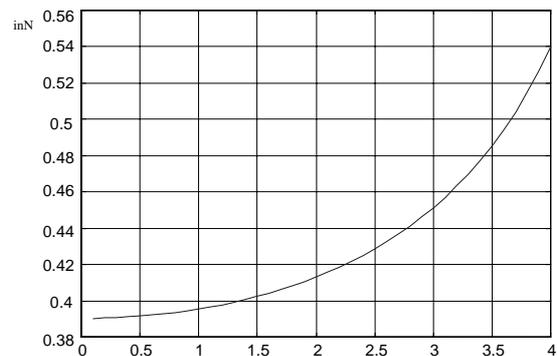


Figura 4 - Potência de entrada normalizada em função de α .

VI. RESULTADOS EXPERIMENTAIS

O retificador foi projetado para uma tensão de fase de 127V, potência de saída de 9,6kW e rendimento estimado de 97%, resultando numa potência de entrada de 9,9kW.

O valor da indutância para a potência desejada é $L = 4,2\text{mH}$, e os capacitores de ressonância serão $C = 42,7\mu\text{F}$, para $\alpha = 3,6$. Estes são compostos de capacitores ligados em paralelo. O uso de vários capacitores em paralelo permite reduzir a resistência série equivalente, minimizando as perdas nestes componentes.

O capacitor de saída é de $800\mu\text{F} / 400\text{V}$. A capacitância de saída pode ser calculada em função da ondulação de tensão admissível, como é normalmente feito no projeto de retificadores. No presente circuito, quando se tem o funcionamento do circuito auxiliar, a ondulação será reduzida em relação a este valor.

Com este valor de potência, a corrente eficaz de entrada esperada é de 25A. A ponte retificadora trifásica utilizada é SKD 50/12 com capacidade de corrente de 50A.

Pelos interruptores auxiliares, Sa, Sb e Sc, calcula-se, na máxima condução, que passe uma corrente eficaz de 3,4A, com pico de 22,2A. São compostos de ponte retificadora monofásica SKB 15/04 e IGBT IRG4PC50UD, com capacidade de corrente de 27A, disponíveis no laboratório.

Foram feitos ensaios com diferentes níveis de potência para verificação do conteúdo harmônico da corrente de entrada, conforme determina a IEC 61000-3-4. Os resultados estão apresentados na Tabela II.

Na figura 5, tem-se a tensão e a corrente de entrada do retificador na potência nominal e na figura 6 para aproximadamente 40% da potência nominal.

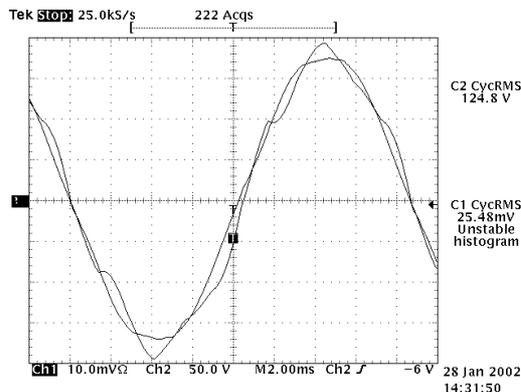


Figura 5 - Tensão de entrada (50V/div.) e corrente (10A/div.) para $P_{in}=9828\text{W}$.

Tabela II - Conteúdo harmônico da corrente de entrada normalizado em relação à componente fundamental

P_{in} (W)	Corrente (A) para diferentes níveis de potência					Limites IEC1000-3-4
	9828	8484	5820	3720	930	
1	25,3	22,3	16,64	10,2	2,46	-
3	0,15	0,136	0,12	0,032	0,082	5,4648
5	2,03	1,51	0,444	0,728	0,578	2,7071
7	0,432	0,476	1,28	1,252	0,556	1,8216
9	0,01	0,014	0	0,032	0,018	0,9614
11	0,33	0,462	0,572	0,528	0,15	0,7843
13	0,276	0,278	0,204	0,204	0,196	0,506
17	0,084	0,062	0,156	0,316	0,084	0,3036
19	0	0,138	0,128	0,23	0,116	0,2783
23	0,062	0,102	0,016	0,032	0,046	0,2277
25	0,062	0,068	0,028	0,072	0,058	0,2024
29	0,022	0,046	0	0,026	0,032	0,1771
31	0	0,072	0	0,018	0,04	0,1771
35	0,014	0,036	0,04	0,046	0,032	0,1518
37	0,026	0,042	0,04	0,022	0,032	0,1518

O gráfico de regulação de tensão para um ajuste de 297V está na figura 7.

À medida que se diminui a carga para valores abaixo de 1kW a tensão de saída tende a subir, pois o tempo que os interruptores permanecem conduzindo se anula e o circuito perde sua capacidade de regulação.

Para uma carga nula, conversor a vazio, esta tensão tende ao valor de pico da tensão de linha, ou seja, 311V.

Quando se atinge a máxima largura de pulso do comando em potência elevada, o sistema não mais consegue manter a regulação. De acordo com a figura 7, na faixa de 10% a 100% da potência nominal a regulação é de 0,8%.

Na Tabela III pode-se observar a taxa de distorção harmônica da corrente de entrada, o fator de potência e o fator de deslocamento ($\cos\phi_1$), para diferentes níveis de potência.

Pode-se observar que o valor do fator de deslocamento é sempre próximo de um, pois a estratégia de controle adotada faz com que a componente fundamental da corrente de entrada esteja praticamente em fase com a tensão.

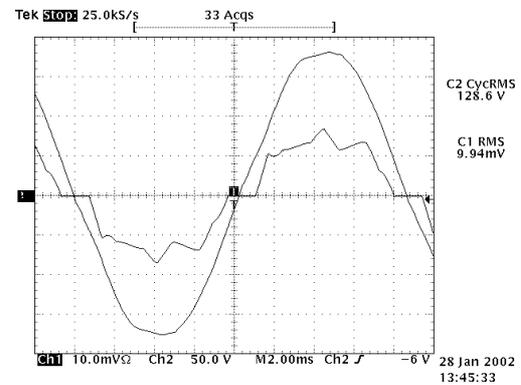


Figura 6 - Tensão de entrada (50V/div.) e corrente (10A/div.) para $P_{in}=3720\text{W}$.

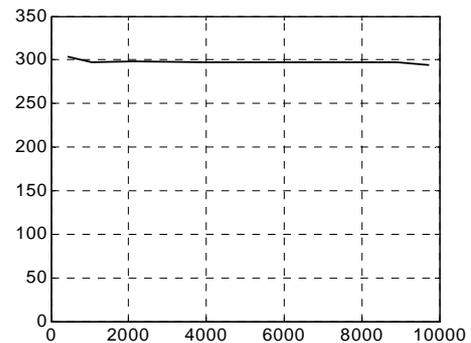


Figura 7 - Regulação da tensão de saída (valor nominal de 297V) em função da potência de saída.

Tabela III - Distorção da corrente de entrada, fator de deslocamento e fator de potência para diferentes níveis de potência

P_i (W)	I_i (A _{RMS})	THD (%)	$\cos\phi_1$	FP
930	2,67	46,2	0,99	0,88
1830	4,97	30,6	0,99	0,94
3720	9,77	17,1	0,99	0,98
5820	15,0	10,8	1,00	0,99
8400	22,0	8,3	1,00	0,99
9600	25,2	8,6	1,00	0,99

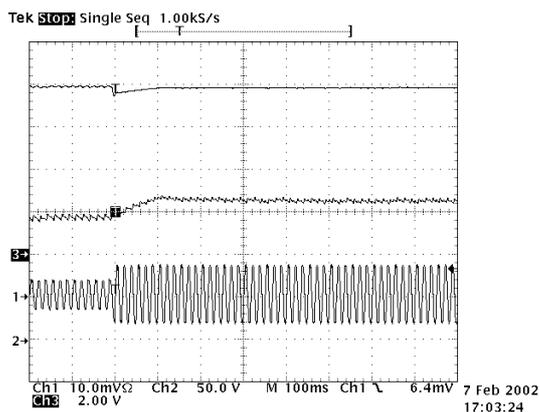


Figura 8 - Tensão de saída (50V/div), tensão de controle do PI (2V/div) e corrente de entrada (20A/div), tempo (100ms/div)

Para valores baixos de corrente de carga, o retificador apresenta maior taxa de distorção harmônica da corrente.

O fator de potência observado apresenta bons valores para potências elevadas, próximos a 0,99. Para uma carga de aproximadamente 10% da potência nominal, seu valor é 0,88.

Foram feitas variações na carga para observar o comportamento do controle. O PI implementado apresenta os seguintes valores: $K_p=0,375$ e $T_i=1,388ms$, que foram ajustados empiricamente, pois não foi objetivo deste trabalho o desenvolvimento de um modelamento dinâmico do conversor, o que permitiria estabelecer um método de projeto do sistema de controle.

Na figura 8 tem-se uma variação de carga de 930W para 1830W. Pode-se observar uma rápida variação na corrente de entrada. A tensão de saída sofre um pequeno decréscimo e retorna para seu valor nominal, próximo de 300V. O sinal de controle do regulador PI atinge seu novo valor de regime em 150ms.

À medida que se varia a potência de saída, o controle varia o atraso no instante de entrada em condução dos interruptores auxiliares e o tempo que estes permanecem conduzindo. Conseqüentemente, os valores máximos e mínimos de tensão observados nos capacitores de ressonância também variam.

Na figura 9 tem-se as formas de onda da tensão de saída e em um dos capacitores de ressonância para carga nominal. Neste caso tem-se a máxima excursão da tensão sobre o capacitor nos instantes de ressonância. A tensão inicial no capacitor V_{C1} , em regime permanente, é de 60V, elevando-se a 220V.

VII. CONCLUSÕES

A topologia proposta apresenta boas características para compensar distorções na corrente produzidas por pontes retificadoras a diodos com filtro capacitivo e apresenta vantagens em relação às demais alternativas apontadas na bibliografia.

O uso de baixa frequência de comutação minimiza as perdas, melhorando o rendimento. Os componentes harmônicos de correntes resultantes estão abaixo dos limites especificados no relatório técnico IEC 61000-3-4. Os valores dos elementos magnéticos são reduzidos, quando comparados com soluções puramente passivas, para o atendimento dos mesmos limites.

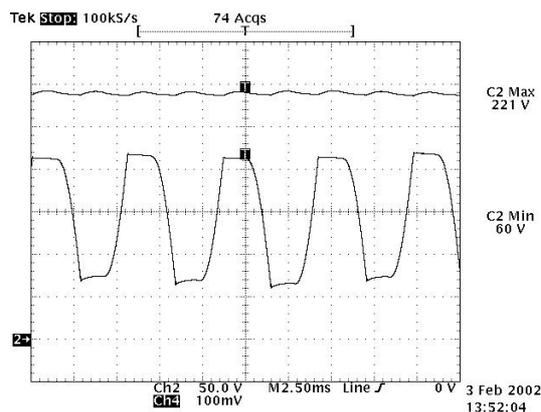


Figura 9 - Tensão de saída e no capacitor C_1 (50V/div.) para potência nominal.

Pelos resultados gerais obtidos pode-se concluir que a topologia proposta permite adequar os retificadores trifásicos às limitações de distorções harmônicas da corrente estabelecidas por organismos internacionais.

A possibilidade de inclusão de o circuito auxiliar em retificadores já existentes não exige a substituição do conversor CA-CC, como seria necessário com o uso de conversores PWM.

Além da melhoria na forma de onda da corrente, o circuito auxiliar permite uma elevação na tensão de saída e sua regulação.

AGRADECIMENTOS

Este projeto foi financiado pela FAPESP, a quem os autores agradecem.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] T. Tanaka, N. Koshio, H. Akagi, A. Nabae: "Reducing Supply Current Harmonics". IEEE Industry Applications Magazine, pp. 31-37, Sep./Oct. 1998.
- [2] International Electrotechnical Commission: 61000-3-2 – "Limits for Harmonic Currents Emission (Equipment input current up to and including 16A per phase)", first edition, 1995.
- [3] International Electrotechnical Commission: 61000-3-4 – "Limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16A", first edition, 1998.
- [4] J. A. Pomílio, G. Spiazzi, S. Buso. "Comparison among High-Frequency and Line-Frequency Commutated Rectifiers Complying with IEC 61000-3-2 Standards", IEEE Industry Applications Society Annual Meeting (IAS'2000), Proceedings pp. 2218-2223.
- [5] I. Rastogi, R. Naik, N. Mohan, "Optimization of a Novel DC-Link Current Modulated Interface with 3-Phase Utility Systems to Minimize Line Current Harmonics," IEEE Power Electronics Specialists Conference (PESC'92), Proceedings pp.162-167.
- [6] N. Mohan, "A Novel Approach to Minimize Line-Current Harmonics in Interfacing Renewable Energy Sources with 3-Phase Utility Systems," IEEE Applied Power Electronics Conference (APEC'92), Proceedings pp. 852-858, Boston, 1992.

- [7] S. Hansen, P. N. Enjeti, J-H. Hahn, F. Blaabjerg, "An Integrated Single-Switch Approach to Improve Harmonic Performance of Standard PWM Adjustable-Speed Drives", IEEE Transactions on Industry Applications, Vol. 36, NO.4, July/August, 2000, pp. 1189-1196.
- [8] G. Kamath, B. Runyan and R. Wood "A Compact Autotransformer based 12-Pulse Rectifier Circuit" ", IEEE Industrial Electronics Conference (IECON'01), CD-ROM.
- [9] I. Barbi, J. C. Fagundes and C. M T. Cruz: "A Low Cost High Power Factor Three-Phase Diode Rectifier with Capacitive Load". IEEE Applied Power Electronics Conference (APEC'94) Proceedings pp. 731-737, March 1994.
- [10] E. L. M. Mehl and I. Barbi, "An Improved High Power Factor and Low Cost Three-Phase Rectifier", IEEE Applied Power Electronics Conference (APEC'95) Proceedings, pp. 1-7, March 1995.
- [11] J. W. Kolar and F. C. Zach " A novel three-phase, three switch, three level unity power factor PWM rectifier", 28th. PCIM Conf., Nürnberg, Germany, 1994.
- [12] J. A. G. Marafão, J. A. Pomilio, G. Spiazzi "A High-Quality Three-Phase Rectifier complying with IEC 61000-3-4 Standards", 6th Brazilian Power Electronics Conference (COBEP'2001), CD-ROM.

DADOS BIOGRÁFICOS

Joanna Aboin Gomes Marafão, nascida em 22/04/1976 em Campinas (SP) é engenheira eletricista (1999) pela Universidade Estadual Paulista e mestre em Engenharia Elétrica (2002) pela Universidade Estadual de Campinas. Em 2002 realizou um estágio junto à Universidade de Pádua, Itália.

José Antenor Pomilio, nascido em 06/05/1960 em Jundiaí (SP), é engenheiro eletricista (1983), mestre (1986) e doutor em Eng. Elétrica (1991) pela Universidade Estadual de Campinas, onde é docente desde 1984. De 1988 a 1991 foi chefe do grupo de eletrônica de potência do Lab. Nacional de Luz Síncrotron. Em 1993/1994 realizou estágio de pós-doutoramento junto à Universidade de Pádua – Itália. Foi presidente da SOBRAEP (2001/2002). Suas áreas de interesse são fontes de alimentação, qualidade de energia e acionamento de máquinas elétricas.

Giorgio Spiazzi nasceu em Legnago (província de Verona, Itália) em 1962. Graduou-se em Engenharia Elétrica na Universidade de Padova em 1988. Em 1993 obteve seu doutorado em Eletrônica Industrial e Informática no Departamento de Eletrônica e Informática da mesma Universidade, onde é professor desde 1993. Suas áreas de interesse são técnicas de controle avançadas para conversores de potência, pré-conversores de alto fator de potência e técnicas de comutação suave.

RETIFICADOR TRIFÁSICO ISOLADO EM ALTA FREQUÊNCIA E COM BAIXA DISTORÇÃO DE CORRENTE NA REDE

Falcondes José Mendes de Seixas* e Ivo Barbi**

* UNESP - Universidade Estadual Paulista
DEE—Departamento de Engenharia Elétrica
15385-000 - Cx. P. 31 – Ilha Solteira - SP
Telefone: (18) 3743-1150 - fax: (18) 3743-1163
www.dee.feis.unesp.br - falcon@dee.feis.unesp.br

** UFSC - Universidade Federal de Santa Catarina
INEP – Instituto de Eletrônica de Potência
88040-970 - Cx. P. 5119 - Florianópolis – SC
Telefone: (48)-331-9204 - fax: (48)-234-5422
www.inep.ufsc.br - ivo@inep.ufsc.br

Resumo - Um retificador trifásico de 12kW, com baixa distorção harmônica das correntes de linha, baseado em conexão diferencial de autotransformador de 18 pulsos e isolamento em alta frequência, é apresentado neste trabalho. São utilizados três conversores *full-bridge* para permitir isolamento e equilibrar as correntes nos barramentos CC, sem sensores ou controladores de corrente. A topologia proporciona a saída CC regulada através de uma estratégia de controle muito simples e com correção natural do fator de potência na rede trifásica de alimentação. Os resultados matemáticos, através de análise de *Fourier* das correntes nos enrolamentos e da análise fasorial das tensões sobre os enrolamentos são apresentados. São mostrados também resultados experimentais para validar o conceito apresentado.

Abstract - A 12kW three-phase rectifier with low THD in the line currents, based on an 18-pulse transformer arrangement and high-frequency isolation, is presented in this work. Three full-bridge converters are used to allow isolation and to balance the DC-link currents, without current sensing or current controller. The topology provides a regulated DC output with a very simple control strategy and natural three-phase input power factor correction. Analytical results from Fourier analysis of winding currents and the vector diagram of winding voltages are presented. Experimental results to verify the proposed concept are shown in the paper.

I. INTRODUÇÃO

Os mais modernos retificadores, usados principalmente em acionamentos elétricos e fontes de alimentação de telecomunicação, são projetados para drenar uma forma de onda de corrente senoidal da rede, com um fator de potência muito próximo de unitário.

Os retificadores monofásicos que satisfazem esta exigência são já bem conhecidos e muito usados. A solução padrão utiliza um pré-regulador de fator de potência baseado no conversor *boost* PWM alimentado por um retificador de onda completa a diodos. Porém, em aplicações de média potência (6kW ou mais), a solução monofásica não é conveniente, ficando então o retificador trifásico como melhor opção.

Da mesma forma que um grande número de trabalhos foi desenvolvido para correção de fator de potência em sistemas monofásicos, as técnicas trifásicas estão em constante crescimento [1]. Este crescimento também aplica-se a conversores com um ou mais interruptores associados, ou usando transformadores especialmente conectados ou sistemas mistos com transformadores e conversores estáticos.

A solução mais simples usa um retificador trifásico a diodos, associado a filtros passivos para minimizar os componentes harmônicos das correntes de linha. O Isolamento pode ser obtido usando um transformador convencional de baixa frequência Δ/Y , resultando em um equipamento volumoso, pesado e caro. De forma contrária, encontra-se o retificador PWM trifásico clássico, que requer um circuito de controle bem mais complexo, modulação e técnicas de comutação mais sofisticadas.

Se o isolamento não é importante para o projeto, algumas soluções que utilizam arranjos de transformador [2-5] ou transformadores de inter-fase de linha (LIT- *line interphase transformer*) [6, 7] são muito importantes para melhorar a qualidade das correntes da rede. Estes transformadores apresentam uma reduzida potência aparente (kVA). O conversor de 18-pulsos que utiliza um autotransformador diferencial conectado em Y ou Δ , é muito interessante porque permite a correção natural do fator de potência (os menores componentes harmônicos são o 17º e o 19º). O autotransformador é projetado para alimentar três retificadores de seis pulsos, defasados de 20º e processando aproximadamente 20% dos kVA necessários. Normalmente, para realizar a conexão paralela das tensões retificadas, dois transformadores de interfase (IPT), conectados nos lados CC dos três retificadores em ponte, são necessários para absorver as diferenças instantâneas de tensão entre as pontes.

Sempre que o isolamento e a regulação da tensão de saída são requeridos, como em sistemas de telecomunicação, o desafio é encontrar um conversor trifásico robusto com alto rendimento, alta densidade de potência e baixo custo.

Este trabalho apresenta um retificador de 18 pulsos isolado e com saída CC regulada de 60V/200A [8-10]. A técnica usa o mesmo conceito do autotransformador polifásico para obter a correção natural do fator de potência. Além disso, inclui o isolamento em alta frequência e permite a regulação da tensão de saída com baixa ondulação, sem utilizar malhas de controle de corrente. A técnica de comutação ZVS-PWM para os interruptores ativos é aplicada a esta topologia. A

conexão proposta para os transformadores de alta frequência elimina os transformadores de interfase. Assim, o tamanho final do conversor e a complexidade do circuito de comando ficam reduzidos.

II. TOPOLOGIA DO CONVERSOR

O conceito fundamental da correção natural do fator de potência através de arranjos de transformadores ou de autotransformadores é assegurado pelo autotransformador de 18 pulsos conectado em Y, seguido de três retificadores de seis pulsos a diodos.

A topologia do conversor proposto é mostrada na Fig. 1. Esta solução usa três conversores *full-bridge* conectados nos lados CC de cada retificador trifásico. Um filtro de alta

freqüência e pequeno volume (L_f , C_f) é conectado em cada saída CC (entre os conversores *full-bridge* e os retificadores trifásicos).

Além dos transformadores de alta frequência, que permitem isolamento entre os lados primários e secundários, os enrolamentos secundários estão conectados em série para equilibrar as correntes dos lados CC dos retificadores. Esta estratégia simples e robusta elimina todos os sensores e os controladores de corrente, que geralmente são necessários para equilibrar as correntes nas saídas dos retificadores. Porém, os conversores *full-bridge* têm que ser sincronizados. Com o objetivo de reduzir as perdas de comutação, sem utilizar interruptores auxiliares, a técnica PWM com deslocamento de fase (*phase-shift*) é aplicada. Os componentes ressonantes, *snubbers* e circuitos grampeadores de tensão não são mostrados na Fig. 1.

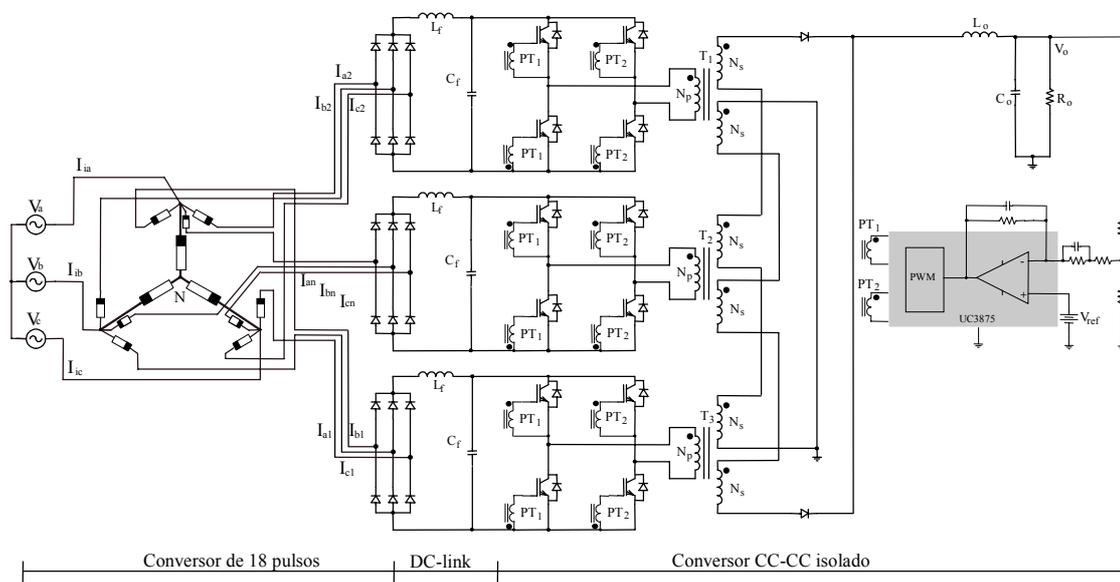


Fig. 1. Retificador trifásico proposto com isolamento em alta frequência.

A tensão de saída regulada é obtida facilmente por um controlador de tensão convencional. Apenas um circuito integrado (PS-PWM) [11], associado a alguns componentes passivos e dois transformadores de pulso (PT1 e PT2), são usados para regulação e comando dos interruptores. Através dos transformadores de pulso, a sincronização entre os conversores *full-bridge* é facilmente conseguida.

A. Análise do Autotransformador

Os enrolamentos primários do autotransformador são formados por N_a , N_b e N_c que estão conectados em Y, submetidos às tensões de linha V_a , V_b e V_c . Nesta conexão, um neutro virtual N é gerado.

Os enrolamentos secundários são projetados, de tal modo que, o número de espiras e a conexão entre eles e o enrolamentos primário geram três sistemas trifásicos diferentes, defasados de 20° um do outro. Estes três sistemas de tensão é que alimentam os três retificadores.

Todos os enrolamentos N_a , N_{a1} , N_{a2} e N_{an} são acoplados na mesma perna do núcleo, as tensões resultantes V_a , V_{a1} , V_{a2} e V_{an} , estão em fase. O mesmo se aplica às fases “b” e “c”.

Uma representação esquemática dos enrolamentos primário e secundários, das conexões elétricas e do núcleo trifásico é mostrada na Fig. 2.

1) *Tensões sobre os enrolamentos* - O autotransformador é alimentado por um sistema trifásico de tensões balanceadas. Três retificadores a diodos são alimentados pelas tensões secundárias, compostas de três sistemas de tensão trifásicos, também equilibrados. Um destes sistemas é colocado em fase como a tensão da rede e os outros são defasados de $+20^\circ$ e de -20° , com relação a este sistema. O diagrama fasorial e o triângulo auxiliar, usado para obter os três sistemas de tensão, são mostrados na Fig. 3.

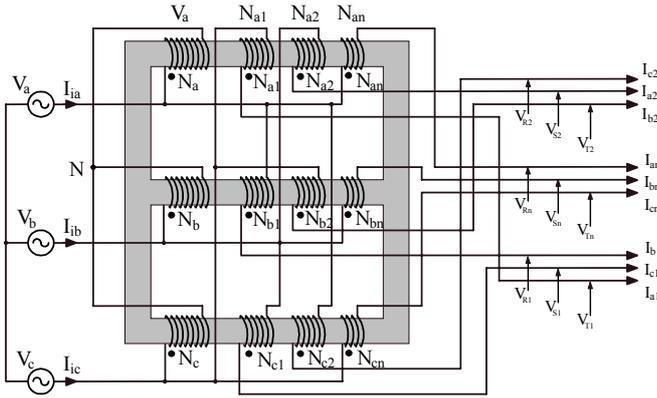


Fig. 2. Esquema dos enrolamentos do autotransformador.

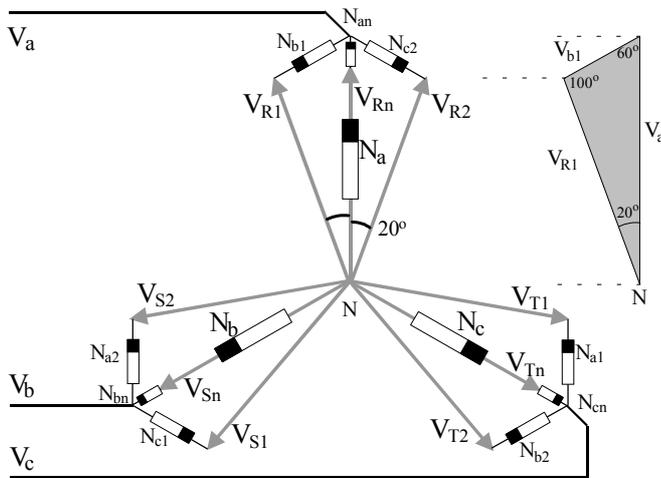


Fig. 3. Diagrama fasorial e triângulo auxiliar.

As amplitudes das tensões através dos enrolamentos secundários V_{a1} , V_{a2} , V_{b1} , V_{b2} , V_{c1} , e V_{c2} são obtidas por (1).

$$V_{b1} = V_a \cdot \frac{\text{sen}(20^\circ)}{\text{sen}(100^\circ)} = 0,35 \cdot V_a \quad (1)$$

A relação de espiras (K_1) que assegura um deslocamento de fase de 20° é determinada por (2).

$$K_1 = \frac{V_a}{V_{b1}} = 2,88 \quad (2)$$

Este resultado mostra que o número de espiras destes secundários são 2,88 vezes menores que o número de espiras do primário.

As amplitudes das tensões entre cada par de terminais dos secundários, (V_{R1} , V_{S1} , V_{T1}) e (V_{R2} , V_{S2} , V_{T2}), com respeito ao neutro virtual, são obtidas pela expressão (3).

$$V_{R1} = V_a \cdot \frac{\text{sen}(60^\circ)}{\text{sen}(100^\circ)} = 0,88 \cdot V_a \quad (3)$$

O terceiro sistema trifásico de tensão dos secundários (V_{Rn} , V_{Sn} , V_{Tn}) está em fase com o primário. Estas tensões, porém, tem que ter as mesmas amplitudes dos outros secundários. Assim, a equação (4) deve ser cumprida.

$$V_{Rn} = V_a - 0,88 \cdot V_a = 0,12 \cdot V_a \quad (4)$$

A relação de espiras que assegura 88% da tensão primária (K_2), sem deslocamento de fase, é determinada por (5).

$$K_2 = \frac{V_a}{V_{Rn}} = 8,29 \quad (5)$$

Este resultado mostra que o número de espiras dos enrolamentos secundários é 8,29 vezes menor que do primário.

Pode-se observar que as amplitudes de tensão dos três sistemas trifásicos são aproximadamente 88% dos valores das tensões de fase da rede.

2) *Correntes nos enrolamentos* - A técnica para eliminar componentes harmônicos de corrente em conversores de múltiplos pulsos requer operação da carga no modo de fonte de corrente. O conversor de 18 pulsos é obtido quando cada um dos sistemas de tensão de saída é conectado a um retificador a diodo de seis pulsos. É como se três cargas idênticas ($I/3$), com características de fonte de corrente, fossem utilizadas.

A forma de onda de corrente, através de um enrolamento secundário (N_{an}), em fase com a tensão da rede V_a , é mostrada na Fig. 4. Esta forma de onda é adotado como uma referência angular para representar as correntes dos outros enrolamentos.

A forma de onda de I_{an} pode ser decomposta em uma série de *Fourier* através da maneira convencional. No entanto, quando se trata de uma função descontínua, os termos da série podem ser obtidos por inspeção. Pode-se observar que esta forma de onda apresenta simetria alternada, o semi-ciclo negativo é uma reprodução invertida do semi-ciclo positivo. Assim, os componentes harmônicos pares são nulos e não há nenhum termo em cosseno. O valor médio também é zero.

Note que o enrolamento N_{an} conduz a corrente $I/3$ durante 120° ($2\pi/3$), a partir de 30° ($\pi/6$). Assim, a expressão de corrente resulta em (6).

$$I_{an}(t) = \frac{4}{\pi} \cdot \frac{I}{3} \cdot \sum_k \frac{1}{k} \cdot \cos\left(k \cdot \frac{I}{6}\right) \cdot \text{sen}(k \cdot \omega t) \quad (6)$$

Onde, $k=1, 3, 5, \dots$

As formas de onda de corrente que circulam pelos outros enrolamentos secundários deste sistema trifásico (I_{bn} e I_{cn}) são representadas pela mesma equação de I_{an} . No entanto, as fases são deslocadas de -120° e $+120^\circ$.

No outro sistema secundário trifásico, (defasado de $+20^\circ$), a corrente I_{b1} é expressa por (7).

$$I_{b1}(t) = \frac{4}{\pi} \cdot \frac{I}{3} \cdot \sum_k \frac{1}{k} \cdot \cos\left(k \cdot \frac{I}{6}\right) \cdot \text{sen}\left[k \cdot (\omega t + 20^\circ)\right] \quad (7)$$

As outras correntes deste sistema trifásico (I_{a1} e I_{c1}) são representadas pela mesma equação de I_{b1} , porém, deslocadas de -120° e $+120^\circ$.

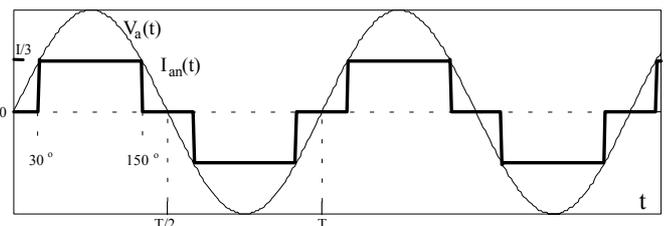


Fig. 4. Tensão primária e corrente secundária para a fase "a".

Para o último sistema de tensão (deslocado de -20°), a

corrente I_{c2} é expressa por (8).

$$I_{c2}(t) = \frac{4}{\pi} \cdot \frac{I}{3} \cdot \sum_k \frac{1}{k} \cdot \cos\left(k \cdot \frac{I}{6}\right) \cdot \text{sen}\left[k \cdot (\omega t - 20^\circ)\right] \quad (8)$$

As outras correntes deste sistema trifásico (I_{a2} e I_{b2}) são representadas pela mesma equação de I_{c2} , porém, deslocadas de -120° e $+120^\circ$.

As correntes dos enrolamentos primários (I_a , I_b e I_c) podem ser obtidas pela expressão (9), considerando as correntes dos três enrolamentos secundários que estão montados sobre a mesma perna do núcleo e com relações de espira K_1 e K_2 . Como mencionado, os enrolamentos com os mesmos índices (a, b ou c) são montados sobre uma mesma perna do núcleo. A Fig. 5 mostra a forma de onda da corrente (I_a) do primário.

$$I_a(t) = \left(\frac{I_{a1}(t) + I_{a2}(t)}{K_1} - \frac{I_{an}(t)}{K_2} \right) \quad (9)$$

3) *correntes na rede* - As correntes na rede I_{ia} , I_{ib} e I_{ic} são obtidas somando todas as correntes dos enrolamentos que chegam num mesmo nó. Então, a equação para I_{ia} pode ser representada por (10).

$$I_{ia}(t) = I_a(t) + I_{an}(t) + I_{b1}(t) + I_{c2}(t) \quad (10)$$

A Fig. 6 mostra as correntes de linha (I_{ia} , I_{ib} e I_{ic}) e a Fig. 7 mostra o espectro harmônico da corrente I_{ia} em valores (%) da amplitude do componente fundamental. Pode-se observar que o conversor de 18 pulsos apresenta apenas os componentes harmônicos de ordens $k \cdot 18 \pm 1$, para $k=1, 2, 3, \dots$ e as amplitudes são menores que 6% do componente fundamental (I_{ia}).

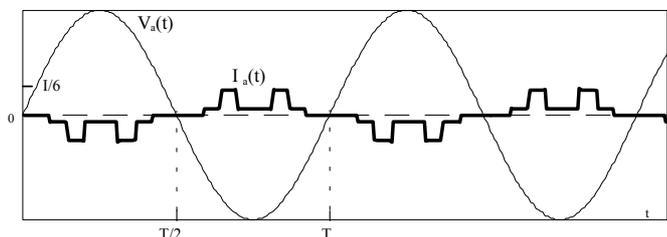


Fig. 5. Corrente primária para a fase "a".

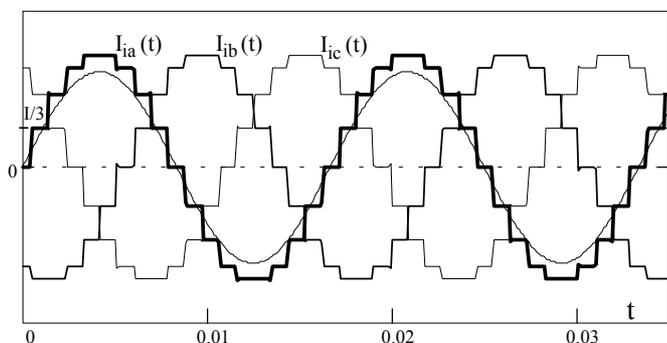


Fig. 6. Correntes de linha e tensão da fase "a".

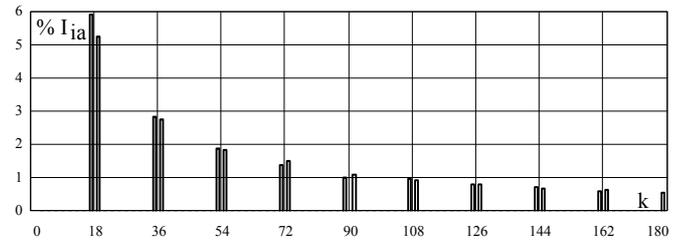


Fig. 7. Harmônicos da corrente I_{ia} .

B. Conversor CC-CC isolado

A topologia do conversor CC-CC isolado a ser escolhida, deve ser de um conversor alimentado em corrente de baixa ondulação, conectado nas saídas dos retificadores, ou seja, três conversores CC-CC que devem absorver as correntes dos barramentos CC de forma equilibrada e com baixa ondulação. Assim, a classe dos conversores isolados alimentados em corrente (*boost*) como o *push-pull* e o *full-bridge* são os mais atraentes.

O equilíbrio das correntes pode ser alcançado através do controle de corrente, monitorando-se as correntes dos três barramentos CC por sensores de corrente. Assim, um regulador de tensão que gera apenas uma referência de corrente para os três reguladores pode controlar a tensão de saída [4].

Neste trabalho, a estratégia para equilibrar todas as correntes dos barramentos CC não utiliza qualquer sensor ou controlador de corrente. A própria topologia do circuito de potência garante o equilíbrio das correntes, como descrito a seguir:

1) *Topologia do conversor* - A topologia escolhida para o estágio isolado foi de um conversor *full-bridge* alimentado em tensão com um filtro LC de entrada. Esta topologia alimentada em tensão permite empregar a técnica de modulação por largura de pulso e deslocamento de fase (PWM-PS). Então, não há sobre-tensão nos interruptores e a comutação com tensão zero (ZVS) fica garantida para uma larga faixa de operação [11]. Os componentes ressonantes LC incorporam as capacitâncias de saída dos interruptores e as indutâncias de dispersão dos enrolamentos primários.

Um pequeno filtro LC (que opera em duas vezes a frequência de chaveamento) é instalado na entrada de cada conversor CC-CC para filtrar os componentes de alta frequência das correntes nos três barramentos CC-CC.

2) *Equilíbrio das correntes* - Os três conversores CC-CC apresentam as seguintes características:

- Processam a mesma potência (1/3 da potência total);
- Os sistemas de tensões retificadas (6 pulsos) têm mesmas amplitudes, embora deslocados de 20° ;
- As correntes médias nos três barramentos CC são iguais.

O balanço de corrente pode ser alcançado pela conexão série dos enrolamentos secundários dos três transformadores de alta frequência e pelo sincronismo do comando dos conversores. Assim, as formas de onda de corrente dos enrolamentos secundários são iguais e, devido à relação de espiras dos transformadores, todas as correntes pelos enrolamentos primários são idênticas ($I_{p1} = I_{p2} = I_{p3}$), como mostrado na Fig. 8.

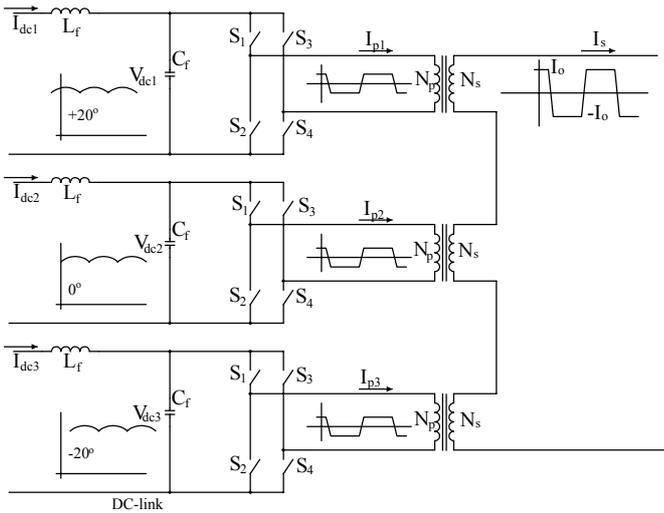


Fig. 8. Conexão para equilíbrio das correntes nos barramentos CC.

Como consequência, as correntes instantâneas pelos três conversores são iguais. Devido às diferenças instantâneas entre as tensões retificadas, as potências processadas pelos três conversores CC-CC, durante um período de chaveamento, também são diferentes. Assim, a frequência da ondulação das correntes nos barramentos CC é de três vezes a frequência da ondulação de cada tensão retificada. Este efeito é resultado da composição das três tensões retificadas (6 pulsos) com um deslocamento de 20° . A Fig. 8 mostra a estratégia para alcançar o equilíbrio das correntes que circulam através dos barramentos CC.

3) *Retificador de saída* - Para reduzir as perdas de condução dos diodos, a conexão de ponto médio é escolhida para o retificador de saída. Assim, cada transformador passa a ter dois enrolamentos secundários que são conectados como mostrado na Fig. 1. A tensão a ser retificada resulta da soma das tensões secundárias.

Cada tensão secundária, cuja fase corresponde à fase da tensão do respectivo barramento CC, apresenta uma ondulação de seis pulsos. Então, como resultado, a tensão de saída apresenta uma ondulação de 18-pulsos, composta pelas três tensões secundárias defasadas de 20° .

4) *Estratégia de comando* - Na Fig. 1 está mostrado o circuito de comando usado para conseguir obter a saída CC regulada e a sincronização dos três conversor *full-bridge*. Apenas um circuito integrado é necessário para executar o comando dos interruptores (*drive*) e a regulação de tensão.

III. RESULTADOS EXPERIMENTAIS

A. Especificações e principais componentes

A Fig. 9 mostra uma foto do protótipo completo do conversor de CA-CC trifásico implementado.

- Tensões da rede trifásica: 220 / 380V.
- Saída CC: 60V / 200A.
- Frequência de chaveamento: $f_s = 30\text{kHz}$.
- $N_a, N_b, N_c = 330$ voltas com um fio 20AWG.
- $N_{an}, N_{bn}, N_{cn} = 40$ voltas com um fio 15AWG.
- $N_{a1}, N_{b1}, N_{c1} = 114$ voltas com um fio 15AWG.
- $N_{a2}, N_{b2}, N_{c2} = 114$ voltas com um fio 15AWG.

- Autotransformador: área do núcleo EI = 27cm^2 .
- Pontes trifásicas: SKD 30/08 A1 (Semikron).
- L_F e $C_F = 4\text{mH}$ e $1,3\text{F}\mu\text{F}$
- Módulos de IGBT: SK 25 GH 063 (Semikron).
- Diodos retificadores: HFA50PA60C (IR).
- $N_p = 13$ voltas com 16 fios 23AWG.
- $N_s = 1$ volta com 150 fios 23AWG.
- Transformador de alta frequência: EE-65/65 - ferrite.
- PWM-PS = UC3875 (Texas Instruments).
- $L_o = 2 \times 7,5\mu\text{H}$: dois indutores com núcleos EE-65/39 - ferrite - 4 voltas com 100 fios 20AWG.
- $C_o = 6 \times 680\mu\text{F} / 100\text{V}$ - capacitor eletrolítico.
- Peso total = 26kg.
- Peso do autotransformador = 15kg.
- Dimensões do conversor CC-CC = 80cm x 40cm

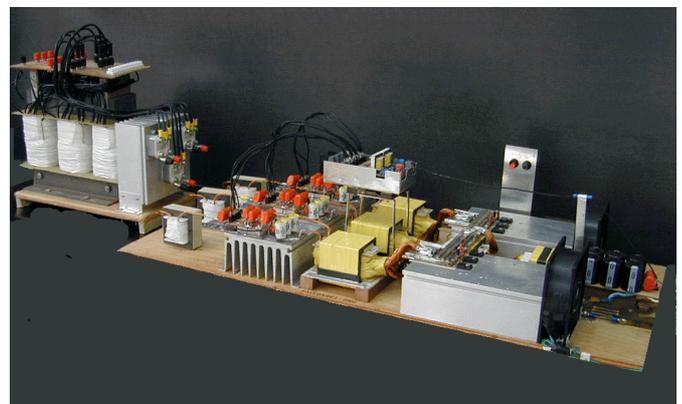


Fig. 9. Protótipo do conversor CA-CC de 12kW implementado.

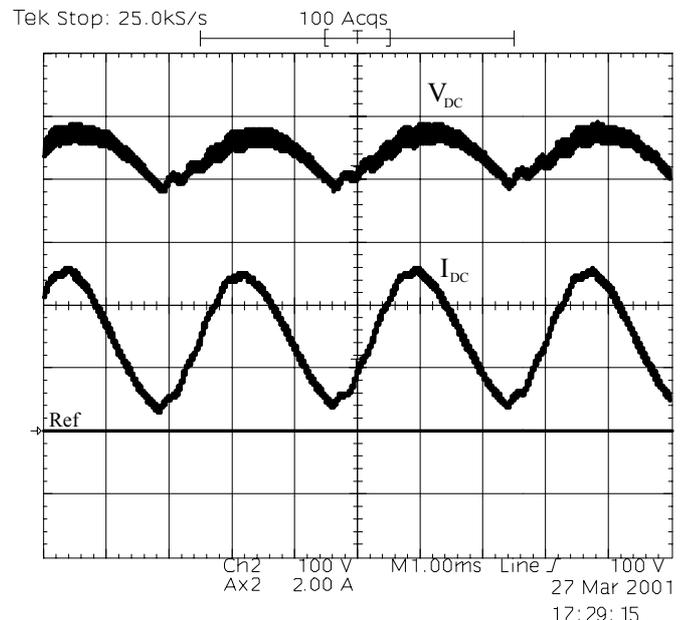


Fig. 10. Tensão e corrente no barramento CC sem conexão série dos enrolamentos secundários. Escalas: 1ms/div, 100V/div, 2A/div.

B. Resultados experimentais

A Fig. 10 mostra as formas de onda da tensão e da corrente

num dos barramentos CC com baixa carga para operação **sem** conexão série dos enrolamentos secundários. Observa-se a elevada amplitude da ondulação de seis pulsos da corrente. Neste modo de operação não é possível reduzir todos os componentes harmônicos de baixa ordem da linha.

As três correntes equilibradas dos barramentos CC, com os enrolamentos secundários em série, são mostradas na Fig. 11. Neste caso, são minimizadas as ondulações de baixa frequência e as correntes médias dos barramentos CC são iguais.

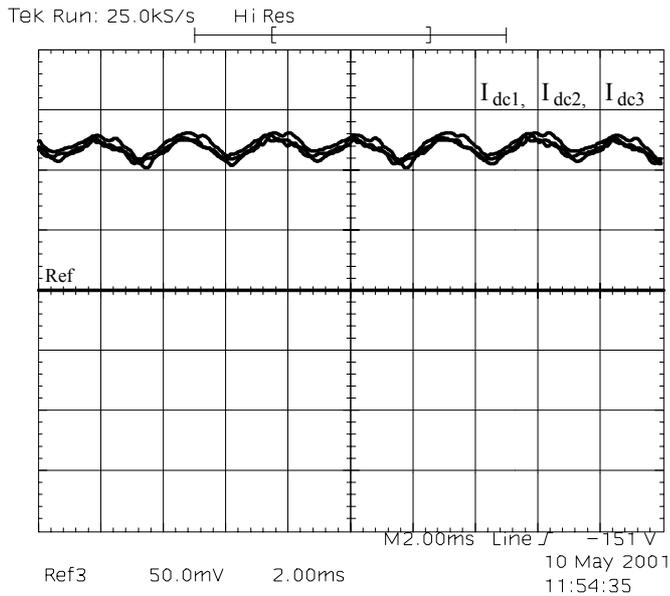


Fig. 11. Correntes equilibradas nos barramento CC.
Escala: 2ms/div, 5A/div.

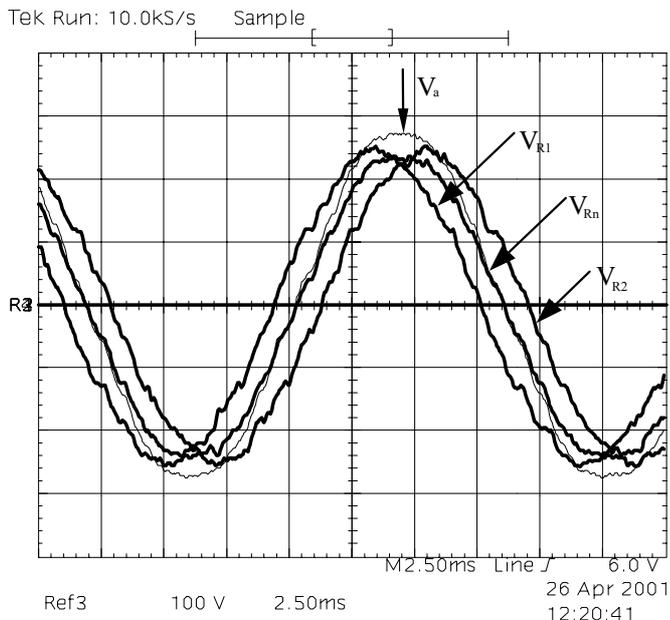


Fig. 12. Tensões nas entradas dos retificadores e na rede.
Escala: 2.5ms/div, 100V/div.

As formas de onda das tensões de entrada de todos os retificadores e a tensão de linha, para uma fase, são

mostradas na Fig. 12 e as formas de onda das tensões retificadas que alimentam os conversores *full-bridge* são mostradas na Fig. 13. Em ambas podem-se observar o deslocamento de fase de 20° e o equilíbrio de amplitude entre elas.

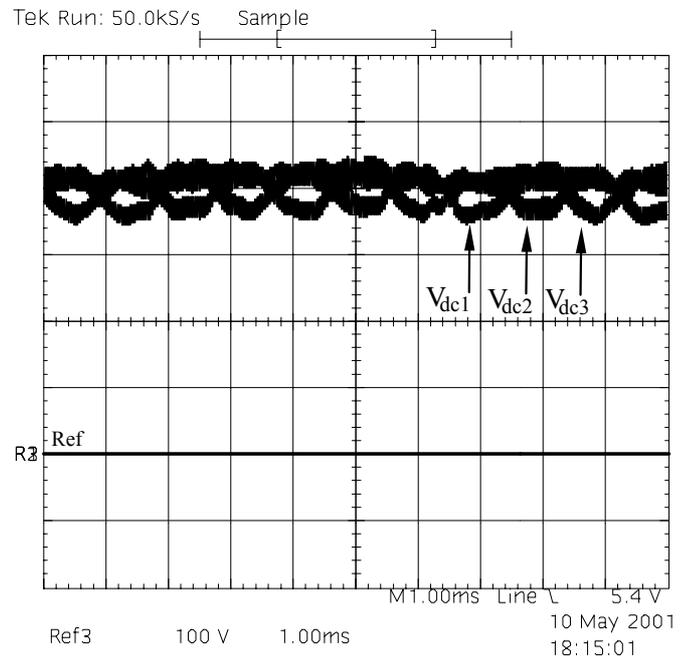


Fig. 13. Tensões retificadas nos barramentos CC.
Escala: 1ms/div, 100V/div.

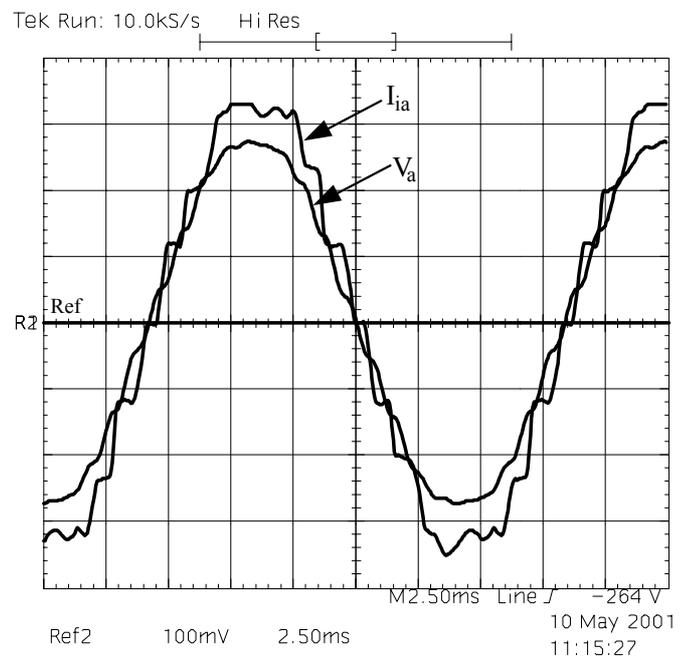


Fig. 14. Corrente e tensão da rede na fase "a".
Escala: 2ms/div, 10A/div, 100V/div.

A Fig. 14 mostra as formas de onda de tensão e de corrente de entrada para uma das fases e a Fig. 15 mostra as três correntes de linha (I_{ia} , I_{ib} e I_{ic}). Pode-se observar que as

formas das correntes de entrada para o resultado experimental (Fig. 15) e para o resultado matemático (Fig. 6) são aproximadamente iguais. Os valores medidos para o fator de potência e a THD da corrente de entrada são iguais a 0,99 e 8,6%, respectivamente. A Fig. 16 mostra o espectro harmônico da corrente em uma das fases e o espectro harmônico da tensão da respectiva fase.

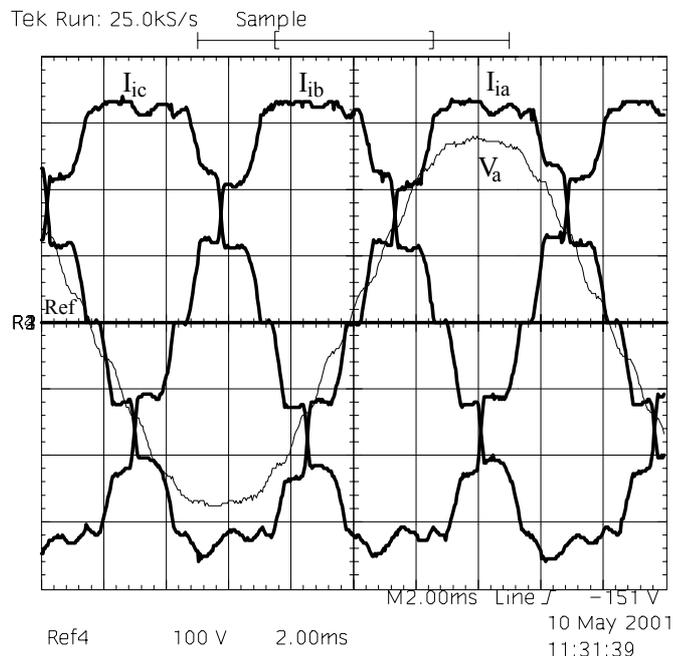


Fig. 15. Correntes na rede.
Escala: 2ms/div, 10A/div, 100V/div.

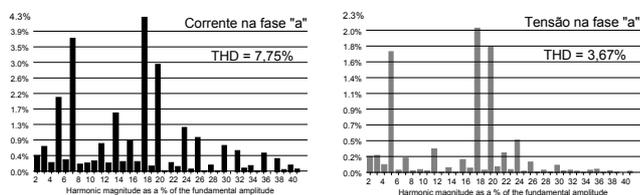


Fig. 16. Harmônicos da corrente e da tensão de uma das fases.

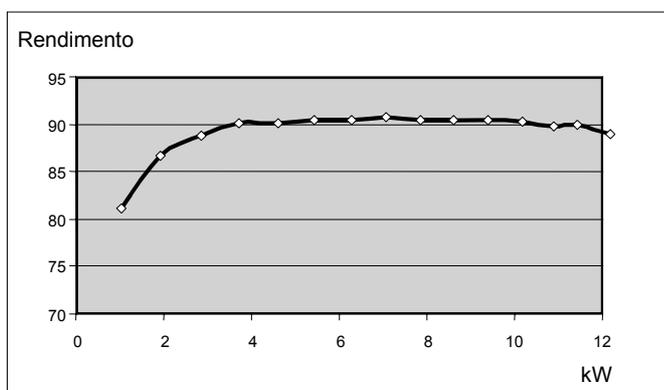


Fig. 17. Rendimento.

A Fig. 17 mostra a curva do rendimento para operação desde baixa carga até plena carga. Pode-se observar que o rendimento é superior a 90%, a partir de 1/3 da carga

nominal.

IV. CONCLUSÕES

Neste trabalho é apresentado um retificador trifásico isolado e com baixa distorção de corrente na rede. O conversor de 18 pulsos é baseado em um autotransformador diferencial, conectado em Y, seguido de três retificadores a diodos e três conversores *full-bridge* (ZVS-PWM-PS). Os enrolamentos secundários dos transformadores de alta frequência são conectados em série e o comando dos três conversores *full-bridge* são sincronizados para que as correntes nos barramentos CC fiquem equilibradas. O equilíbrio e a baixa ondulação na amplitude das correntes dos barramentos são a exigência fundamental para haver redução no conteúdo harmônico de corrente na rede. Um protótipo de laboratório de 12kW foi implementado e os resultados experimentais completos estão apresentados. Tratando-se de uma topologia isolada, o rendimento obtido foi excelente, podendo ainda ser melhorado através da redução de perdas de condução, tanto nos semicondutores como no cobre dos diversos enrolamentos. A simplicidade, robustez e alta densidade de potência do conversor proposto coloca-o como forte candidato para soluções modernas para sistemas retificadores trifásicos utilizados em sistemas de alimentação para telecomunicações e também para acionamentos.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] J. W. Kolar, "Status of the Techniques of Three-Phase Rectifier Systems with Low Effects on the Mains", in *INTELEC Conf. Records*, 1999, section 14.1.
- [2] D. A. Paice, "Power Electronic Converter Harmonic Multipulse Methods for Clean Power", New York, IEEE Press, 1996.
- [3] S. Choi, P. N. Enjeti, and I. J. Pitel, "Polyphase Transformer Arrangements with Reduced kVA Capacities for Harmonic Current Reduction in Rectifier-Type Utility Interface", in *IEEE Trans. on Power Electronics*, vol. 11, pp. 680-690, Sep. 1996.
- [4] F.J.M. Seixas, and I. Barbi, "A New 12kW Three-Phase 18-Pulse High Power Factor AC-DC Converter with Regulated Output Voltage for Rectifier Units", in *INTELEC Conf. Records*, 1999, section 14.2.
- [5] F.J.M. Seixas, and I. Barbi, "A New 18-Pulse AC-DC Converter with Regulated DC Output and High Power Factor for Three-Phase Applications", In *Brazilian Power Electronics Conference Records*, 1999, pp. 582-587.
- [6] C. Niermann, "New Rectifier Circuits with Low Mains Pollution and Additional Low Cost Inverter for Energy Recovery" in: *EPE Conf. Records*, 1989, pp. 1131-1136.
- [7] C. A. Muñoz, and I. Barbi, "A New High-Power-Factor Three-Phase AC-DC Converter: Analysis, Design, and Experimentation", in *IEEE Trans. on Power Electron.*, vol. 14, no 1, pp. 90-96, Jan. 1999.
- [8] F.J.M. Seixas, and I. Barbi, "A New Three-Phase Low

THD Power Supply with High-Frequency Isolation and 60V/200A Regulated DC Output”, in *IEEE PESC Conf. Records*, Jun. 2001, pp. 1629-1634.

- [9] F.J.M. Seixas, and I. Barbi, “A Robust 12kW Three-Phase Rectifier using a 18-Pulse Autotransformer and Isolated DC-DC Converters”, in *COBEP’01 Records*, Nov. 2001, pp. 686-691.
- [10] F.J.M. Seixas, “12kW High Power Factor AC-DC Converters Using Autotransformer with Multipulse Differential Connection”, PhD Thesis (in Portuguese), in UFSC/INEP - Federal University of Santa Catarina, Advisor Prof. Ivo Barbi, Out./2001.
- [11] B. Andreyckak, “Phase Shifted, Zero Voltage Transition Design Consideration and the UC3875 PWM Controller”, Unitrode Corporation, Application Note U-136A, 1997.

DADOS BIOGRÁFICOS

Falcondes José Mendes de Seixas, nascido em Jales-SP em 1965, formou-se em Engenharia Elétrica pela Escola de Engenharia de Lins em 1987. Em 1993 e 2001 recebeu os

de fator de potência, conexões especiais de transformadores e qualidade de energia elétrica.

Ivo Barbi, nascido em Gaspar (SC) em 1949, formou-se em Engenharia Elétrica pela Universidade Federal de Santa Catarina - UFSC em 1973. Em 1976 recebeu o título de Mestre pela mesma Universidade e, em 1979, recebeu o título de Doutor pelo Institut National Polytechnique de Toulouse, França. Desde 1974 é professor na UFSC e atualmente é professor titular do Departamento de Engenharia Elétrica. É membro fundador da SOBRAEP tendo sido seu primeiro presidente. Desde 1992, é Editor Associado na área de Conversores de Potência da IEEE Transactions on Industrial Electronics. Suas áreas de atuação compreendem modelagem, análise, projeto e aplicações de conversores estáticos operando em alta frequência e correção de fator de potência de fontes de alimentação.

títulos de Mestre e de Doutor em engenharia elétrica pela UFSC-Universidade Federal de Santa Catarina, em Florianópolis-SC. Desde 1988 é professor na UNESP-Universidade Estadual Paulista, em Ilha Solteira-SP e atualmente é professor assistente doutor no Departamento de Engenharia Elétrica. Suas áreas de interesse compreendem conversores estáticos operando em alta frequência, correção

Digital Implementation of Three-Phase Rectifier with Deadbeat Controller

Alisson Dias Junqueira, Lourenço Matakas Jr., Wilson Komatsu

Dept. of Electrical Energy and Automation Engineering - PEA

University of São Paulo - USP

Av. Prof. Luciano Gualberto, trav. 3, no. 158 – 05508-900 - São Paulo, SP – BRAZIL

Phone: +55 (11) 3091-5483 - Fax: +55 (11) 3091-5719 - e-mail: alisson@pea.usp.br

Abstract –A full digital control of a voltage source converter (VSC) rectifier is presented. The behavior of the AC and DC sides were modeled and used for the design of the AC current tracking controller and DC voltage regulator. The AC current control, based on the deadbeat strategy is presented in a simple and intuitive way. The DC side PI controller is designed based on the linearized model of the converter. A simple and efficient Phase Locked Loop (PLL) based on the deadbeat strategy is presented. The performance of the complete system is verified by numerical simulation and experimental results, validating the proposed model and control strategy. Effect of parameter mismatch is also discussed.

I. INTRODUCTION

The growing use of non-linear loads in the electric power system (e.g. diode rectifiers) has increased the concern with the quality of the electrical energy. For low power, one-phase applications, the “full bridge diode rectifier + boost converter” topology has proved to be a good performance low cost solution [6]. For three-phase, higher power applications, requiring bi-directional power flow, a three-phase, full bridge, self-commutated converter operating in pulse width modulation (PWM) mode is a convenient choice [7]. Typical applications include rectifiers for AC drives, telecommunication equipments, etc.

This digest presents a PWM three-phase rectifier with digital signal processor (DSP) control, which aims the reduction of reactive power and harmonics at the AC side, and the regulation of the DC side voltage.

Section II describes the mathematical modeling of the three-phase VSC (voltage source converter), considering the AC and DC sides of the converter.

Many authors, including ref. [14], consider the deadbeat approach as a pole placement problem in the z domain, where all closed loop poles are placed in $z=0$. Reference [13] showed the deadbeat poles ($z=0$) as the solution of an optimal control problem, whose cost function has zero weighting factor to the inputs.

Some authors ([9][10][11][12]), develops the deadbeat approach for the second order plants (LC filter), and takes into account the instantaneous variation of the converter output voltage during a switching cycle. This paper applies the deadbeat strategy to the first order plant (L filter), and uses an intuitive and simple approach to obtain the controller equation. In this case, the converter output is considered constant and equal to its local average during the sample interval. No previous knowledge of discrete control theory is required.

The design of the DC control loop is carried out by linearizing the converter model and applying a PI controller plus a pre-filter strategy to accomplish the desired transient performance.

Sinusoidal signal, synchronized with the mains voltage are obtained by a simple and efficient PLL based on [2].

The performance of the control algorithms is verified by simulations (using MatLab) and by an experimental setup using a low power converter.

The control algorithms were implemented by using a dedicated DSP (digital signal processor) specially designed for power electronic applications.

II. MODELING OF VSC

A. AC side

Fig. 1 shows the VSC rectifier and its connection to the mains (three phase/three wire system) through equivalent inductors (L) (filter + transformer inductance). Terminal G_2 , not present in the real converter, is used here in order to simplify the equivalent circuit modeling.

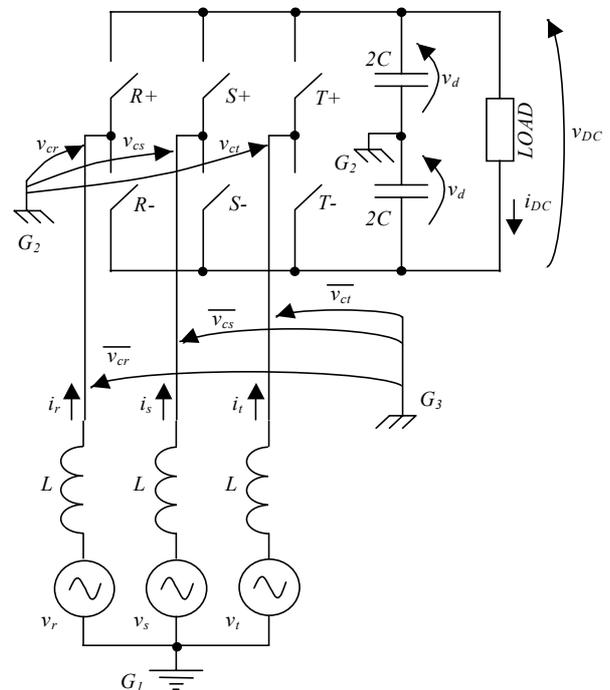


Fig. 1: Three-phase VSC model.

Fig. 2 introduces the simplified AC side model of the VSC, where the converter is modeled as three, wye connected ideal voltage sources. The sum of the three

individual mains voltages (v_r, v_s, v_t) is considered to be null (eq. 1).

$$v_r + v_s + v_t = 0 \quad (1)$$

The sum of the equivalent voltages at converter's AC side (v_{cr}, v_{cs}, v_{ct}), defined by eq. 3.3 is also null (eq. 2).

$$\overline{v_{cr}} + \overline{v_{cs}} + \overline{v_{ct}} = [1 \ 1 \ 1] \cdot \overline{v_c} = [1 \ 1 \ 1] \cdot \mathbf{B} \cdot \mathbf{v_c} = 0 \quad (2)$$

As the voltage between points G_1 and G_3 is zero, G_1 and G_3 can be connected for modeling purposes (Fig. 2).

Equation (3), in matrix form, can be obtained from Fig. 2.

$$\frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \overline{\mathbf{V}_c}) = \frac{1}{L} \cdot (\mathbf{V} - \mathbf{B} \cdot \mathbf{V}_c) \quad (3)$$

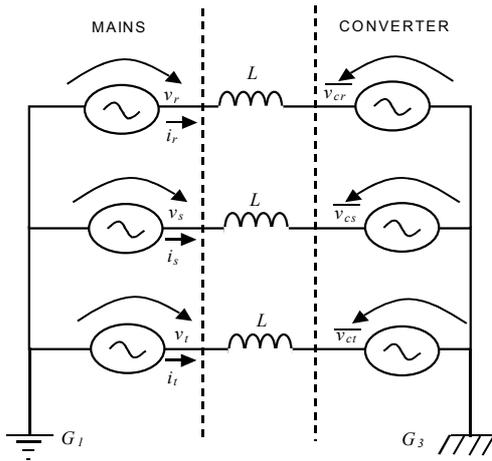


Fig. 2: Simplified AC side model.

The matrixes in eq. (3) are defined in equations 3.1 to 3.5:

$$\mathbf{I} = \begin{bmatrix} i_r \\ i_s \\ i_t \end{bmatrix} \quad (3.1), \quad \mathbf{V} = \begin{bmatrix} v_r \\ v_s \\ v_t \end{bmatrix} \quad (3.2), \quad \mathbf{B} = \frac{1}{3} \cdot \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \quad (3.3),$$

$$\mathbf{V}_c = \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} \quad (3.4) \quad \text{and} \quad \overline{\mathbf{V}_c} = \begin{bmatrix} \overline{v_{cr}} \\ \overline{v_{cs}} \\ \overline{v_{ct}} \end{bmatrix} = \mathbf{B} \cdot \mathbf{V}_c \quad (3.5)$$

The converter output voltages v_{cr}, v_{cs}, v_{ct} can assume the values $-v_d$ and $+v_d$ ($v_d = v_{DC}/2$ is the voltage on each capacitor drawn in Fig. 1). This results in eq. 3.6:

$$\mathbf{V}_c = \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} = \begin{bmatrix} m_r \\ m_s \\ m_t \end{bmatrix} \cdot v_d \quad (3.6)$$

The instantaneous modulation indexes m_r, m_s and m_t assume the values -1 or $+1$, and are written in a compact matrix forming eq. 3.7.

$$\mathbf{m} = \begin{bmatrix} m_r \\ m_s \\ m_t \end{bmatrix} \quad (3.7)$$

Eq. 4 results from (3), (3.6) and (3.7).

$$\frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \mathbf{B} \cdot \mathbf{m} \cdot v_d) \quad (4)$$

B. DC side

Figure 3 presents the simplified model of DC side of a VSC. The PWM converter is represented by the current sources $\frac{m_r}{2} \cdot i_r, \frac{m_s}{2} \cdot i_s$ and $\frac{m_t}{2} \cdot i_t$, and the DC load by a current source i_{DC} . The voltage v_{DC} is the total DC link voltage ($v_{DC} = 2v_D$).

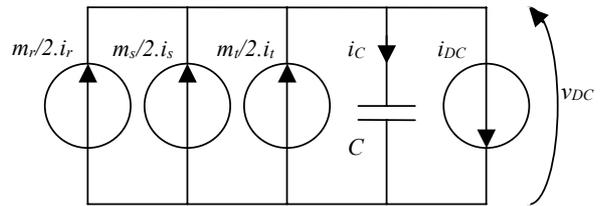


Fig. 3: Simplified model of VSC, at DC side

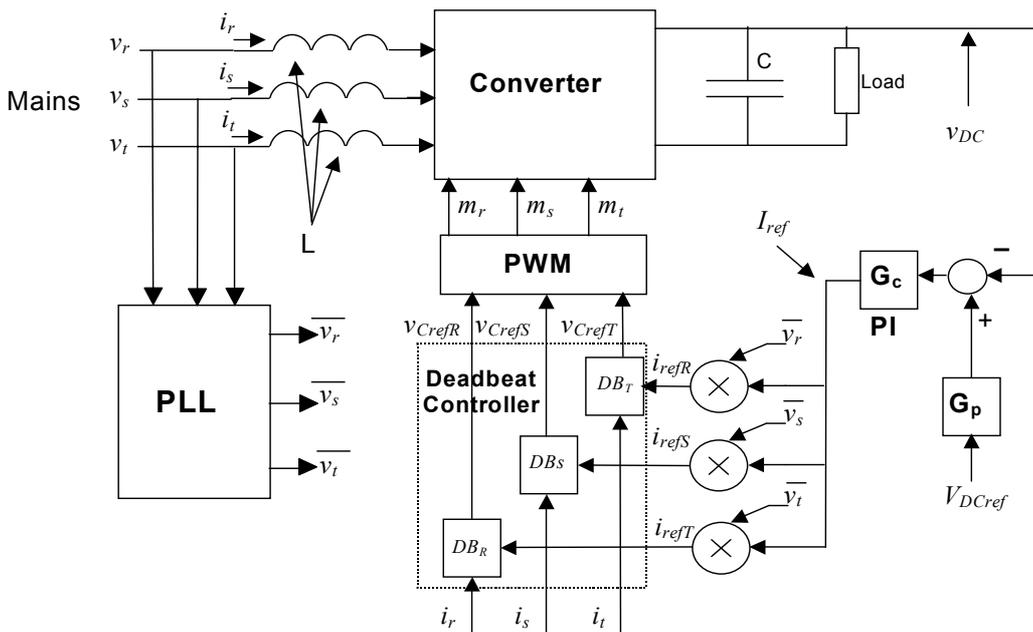


Fig. 4: Block diagram of system: converter and control blocks.

Equation (5) results from the circuit in Fig. 3, and equations 3.1 and 3.7.

$$\begin{aligned} \frac{dv_{DC}}{dt} &= \frac{1}{C} i_C = \frac{1}{C} \left(\frac{m_r}{2} \cdot i_r + \frac{m_s}{2} \cdot i_s + \frac{m_t}{2} \cdot i_t - i_{DC} \right) = \\ &= \frac{1}{C} \left(\frac{1}{2} \mathbf{I}^t \cdot \mathbf{m} - i_{DC} \right) \end{aligned} \quad (5)$$

III. CONTROL STRATEGY

A. General outline

The objective of the control strategy is to obtain sinusoidal AC currents in phase with the AC voltages (unitary power factor). DC side voltage is boosted above AC side peak voltage, and is regulated at the reference v_{DCref} .

For the AC side current tracking, a deadbeat control strategy was used [5][7][8][9][12]. The DC side voltage control adopts a proportional-integral controller (PI). There are, thus, AC current and DC voltage control loops [1][2][4][5][6][10][11].

Fig. 4 schematically exhibits the previously described blocks, and also the PLL block, which generates reference sinusoidal signals $\overline{v_r}, \overline{v_s}, \overline{v_t}$ with amplitude equal to one, synchronized with mains voltages v_r, v_s, v_t . The PLL block generates a pulse train synchronized with the mains, which are used by the sample/hold and PWM blocks [2].

B. Current loop

The AC current control strategy, based on the deadbeat approach, is illustrated in Fig. 5 for the one phase case. The controller aim is to nullify the error in the $(k+1)^{th}$ sampling instant, independent of the error in the previous k^{th} instant.

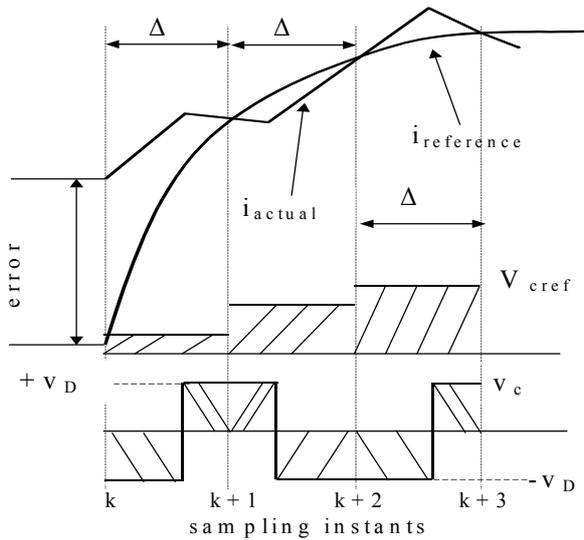


Fig. 5. Deadbeat behavior diagram.

In order to obtain the deadbeat behavior, it is necessary to impose $v_c(k)$ at the k^{th} sampling time, resulting in eq. (6).

$$i(k+1) = i_{ref}(k+1) \quad (6)$$

Eq. (7) can be written for each one of the phases.

$$\frac{di}{dt} = \frac{1}{L} \cdot (v - \overline{v_c}) \quad (7)$$

Integration of eq. (7) results in eq. (8).

$$\int_{i(k)}^{i(k+1)} di = \frac{1}{L} \cdot \int_{t(k)}^{t(k+1)} (v - \overline{v_c}) d\tau \quad (8)$$

If the mains voltage can be considered constant during the time interval Δ , the left side of (8) can be written, as shown in eq. (9).

$$i(k+1) - i(k) = \frac{1}{L} \cdot (v(k) \cdot \Delta - v_{cref}(k) \cdot \Delta) \quad (9)$$

The variable Δ is the sampling period.

Substituting eq. (6) in eq. (9), results in eq. (10).

$$i_{ref}(k+1) = i(k) + \frac{1}{L} \cdot (v(k) - v_{cref}) \cdot \Delta \quad (10)$$

From eq. (10), v_{cref} can be written as shown in eq. (11).

$$v_{cref}(k) = -\frac{L}{\Delta} \cdot (i_{ref}(k+1) - i(k)) + v(k) \quad (11)$$

The AC side model presented in Fig. 2 suggests the use of three independent current controllers for the three phases. An analysis of eq. (3), with the non-diagonal matrix B, shows the existence of a coupling between the three phases. A change in v_{cr} , for example, will affect the other two phases. It happens because the converter equivalent voltages $\overline{v_{cr}}, \overline{v_{cs}}$ and $\overline{v_{ct}}$, responsible for imposing the line currents are different from the original set of converter voltages v_{cr}, v_{cs} and v_{ct} . The line currents waveform will be slightly different from the ones shown in Fig. 5, but will be coincident at the sampling time [14]. This fact makes possible the use of three independent dead beat controllers in spite of the existing coupling between the three phases.

Thus, one has three reference voltages $v_{CrefR}, v_{CrefS}, v_{CrefT}$ updated twice each switching cycle and applied to a PWM generator with asymmetric sampling.

C. DC voltage loop

The DC voltage control loop (Fig. 4) is implemented with the DC voltage feedback through a PI controller, which generates a reference current I_{ref} , multiplied by the voltage references generated by the PLL block ($\overline{v_r}, \overline{v_s}, \overline{v_t}$) providing the reference currents ($i_{refr}, i_{refS}, i_{refT}$) for the deadbeat controller. Thus, the DC voltage controller acts on the amplitude of the AC side current (Fig. 4).

The open-loop transfer function relating the output voltage v_{DC} and the reference current i_{ref} can be obtained from Fig. 2 and 3. Equation (12) is obtained based on the instantaneous power relationship.

$$\begin{aligned} v_r \cdot i_r + v_s \cdot i_s + v_t \cdot i_t &= i_r \cdot L \cdot \frac{di_r}{dt} + i_s \cdot L \cdot \frac{di_s}{dt} + \\ &+ i_t \cdot L \cdot \frac{di_t}{dt} + v_{DC} \cdot C \cdot \frac{dv_{DC}}{dt} + v_{DC} \cdot i_{DC} \end{aligned} \quad (12)$$

Considering sinusoidal and low ripple AC currents in phase with the sinusoidal mains voltages, results in eq. (13.1, 13.2 and 13.3).

$$\mathbf{v} = V \cdot \mathbf{x} \quad (13.1)$$

$$\mathbf{i} = I_{ref} \cdot \mathbf{x} \quad (13.2)$$

Where:

$$\mathbf{x} = \begin{bmatrix} \cos(\omega t) \\ \cos(\omega t - \frac{2\pi}{3}) \\ \cos(\omega t + \frac{2\pi}{3}) \end{bmatrix} \text{ and } \mathbf{x} \cdot \mathbf{x}' = \frac{3}{2} \quad (13.3)$$

The parameters V and I_{ref} are the peak value of the mains voltage (v_r, v_s, v_t) and the reference currents $i_{refr}, i_{ref s}, i_{ref t}$.

The non-linear transfer function in eq. 14 is obtained from eq. (12) and eq. (13).

$$V \cdot \mathbf{i}' = V \cdot I_{ref} \cdot \frac{3}{2} = C \cdot v_{DC} \cdot \frac{dv_{DC}}{dt} + v_{DC} \cdot i_{DC} \quad (14)$$

Linearization is applied around steady state operation point ($\overline{v_{DC}}, \overline{I_{ref}}$). The signals v_{dc} and I_{ref} are rewritten according to eq. (15).

$$\begin{aligned} v_{DC} &= \overline{v_{DC}} + \Delta v_{DC} \\ I_{ref} &= \overline{I_{ref}} + \Delta I_{ref} \end{aligned} \quad (15)$$

The linearized transfer function is given by eq. (16):

$$G(s) = \frac{K}{T \cdot s + 1} = \frac{V_{DC}(s)}{i_{ref}(s)} \quad (16)$$

Where:

$$T = \frac{C \cdot \overline{v_{DC}}}{\overline{i_{DC}}} \quad (16.1)$$

$$K = \frac{V \cdot \overline{\mathbf{x}}^2}{\overline{i_{DC}}} \quad (16.2)$$

Equation (16.3) describe the transfer function of the PI controller $G_C(s)$.

$$G_C(s) = K_p + \frac{K_I}{s}, \quad (16.3)$$

Considering the pre-filtering function $G_P(s)$ (eq. 17.1), the closed-loop transfer function of the system is given by eq. (17).

$$G_T(s) = \frac{s \cdot K \cdot K_p + K \cdot K_I}{s^2 + s \cdot \left(\frac{1 + K \cdot K_p}{T} \right) + \frac{K \cdot K_I}{T}} \cdot G_P(s) = \frac{V_{DC}(s)}{V_{DCref}(s)} \quad (17)$$

The PI controller constants, K_p and K_I are chosen in order to obtain optimum ITAE performance [16]. The closed-loop transfer function zeros are eliminated by introducing the pre-filtering $G_P(s)$ (Fig. 4). $G_P(s)$ is given by eq. (17.1).

$$G_P(s) = \frac{1}{s \cdot K \cdot K_p + K \cdot K_I} \quad (17.1)$$

Applying a settling time value equal to two main cycles and damping ratio of 0.7, the close-loop transfer function result is eq. (18).

$$G_T(s) = \frac{1}{s^2 + s \cdot 239,4 + 29241} \quad (18)$$

D. PLL block

PLL block generates three sinusoidal references ($\overline{v_r}, \overline{v_s}, \overline{v_t}$) in phase with each one of the reference voltages v_r, v_s and v_t (measured at the AC side of the converter) [2]. PLL block also synchronizes the sampling and switching pulses and, together with the deadbeat controller, guarantees null phase displacement between current and voltage signals at the AC side. Fig. 6 illustrates PLL operation for one phase.

For a given fixed number of sampling pulses per cycle of the mains voltage (PPC), the PLL block forces the first sampling pulse (CA=0) to be coincident with the rising zero crossing of the reference AC voltage (Fig. 6), and inserts "PPC" equally spread sampling pulses per mains cycle. At the beginning of each cycle (CA=0) the algorithm calculates the error, according to eq. 19.

$$error = |PPC - CA| \quad (19)$$

"CA" is the sampling pulse number counter. CA is reset after counting "PPC" pulses. With this error information, the PLL recalculates the next sampling period width Δ that forces the next pulse with CA=0 to be coincident with a positive zero crossing of the mains voltage, ensuring synchronization.

The PLL algorithm is applied only for the phase r . Its corresponding sinusoidal output $\overline{v_r}$ is obtained through a

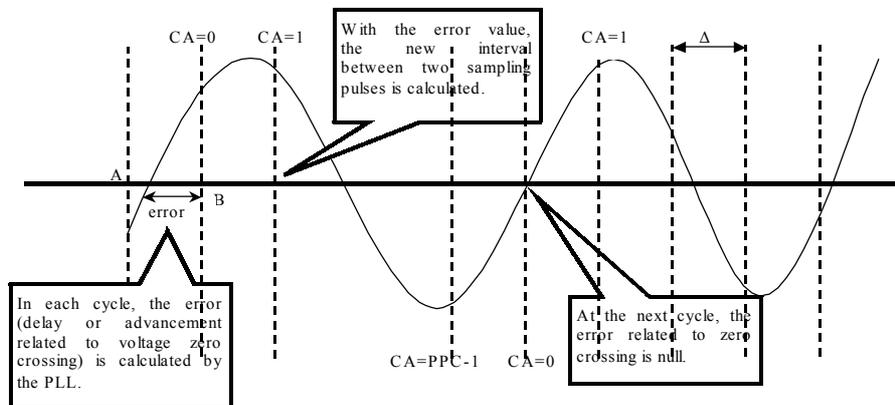


Fig. 6. PLL operation diagram.

look up table. In this work, the signals $\overline{v_s}$ and $\overline{v_t}$ are calculated to make the set $\overline{v_r}, \overline{v_s}, \overline{v_t}$ equally displaced waveforms. The mains phase sequence must be measured during the initialization process of the control program.

IV. NUMERIC SIMULATION

The system was simulated using MATLAB. The following results show simulation with DC capacitor initially charged with nominal DC voltage and inductors with null current at initial instant.

Simulations were carried with:

- DC voltage: $v_{DC}=350(V)$
- DC load: $R=350(\Omega)$
- DC capacitor: $C=400(\mu F)$
- Line frequency: $f=60(Hz)$
- RMS line voltage: $v_{AC}=220(V)$
- PWM frequency: $f_{PWM}=6(kHz)$
- Line inductors: $L=165(mH)$
- Asymmetric sampling

Fig. 7 shows AC currents and Fig. 8 shows voltage and current at one of the AC phases (phase r).

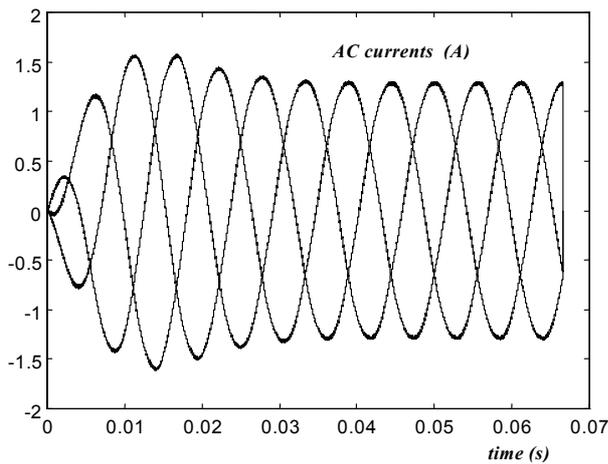


Fig. 7. Currents i_r, i_s and i_t , AC side (simulation).

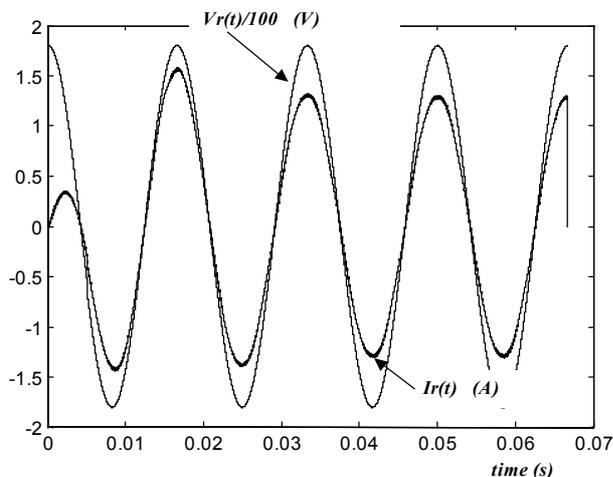


Fig. 8: Voltage (V/100) and current, phase r (simulation).

System behavior with plant disturbances was also simulated. Fig. 9 shows voltage and current waveforms at

phase r , with the system exposed to disturbances. Fig. 10 shows the result of these same disturbances at the output DC voltage. Five perturbation stages can be distinguished: A. System is energized; B. 10% over voltage step at AC side; C. returns to the nominal AC voltage; D. DC load is removed (load rejection); and E. full load is reintroduced.

Overshoots at v_{DC} due to full load insertion are lower than 3%. Transient at v_{DC} vanish in periods shorter than two main cycles, as specified in item III-C.

It is worth noticing in Fig. 9 the AC current reverse during period D, returning the energy stored in the capacitor after a load rejection to the mains.

Fig. 9 also shows that the disturbances caused by AC voltage fluctuation are adequately compensated.

Fig. 11 shows harmonic content for AC line current $i_r(t)$. One can see harmonic components around hundred times AC frequency, which corresponds to switching frequency. The harmonic amplitudes are around one percent of the fundamental current.

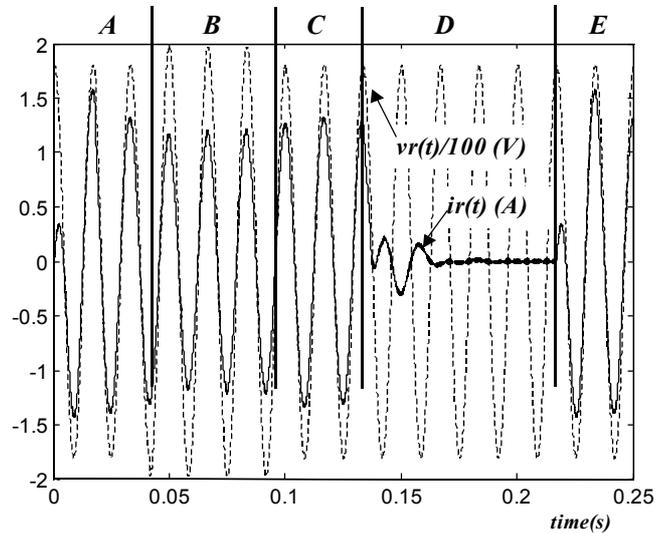


Fig. 9. Waveforms of voltage (V/100) and current in r phase, with disturbance (simulation).

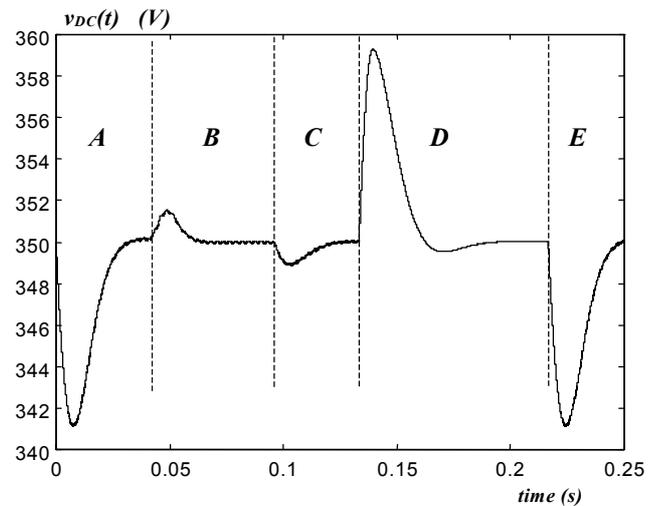


Fig. 10. Waveform of DC voltage in the output rectifier, with disturbance (simulation).

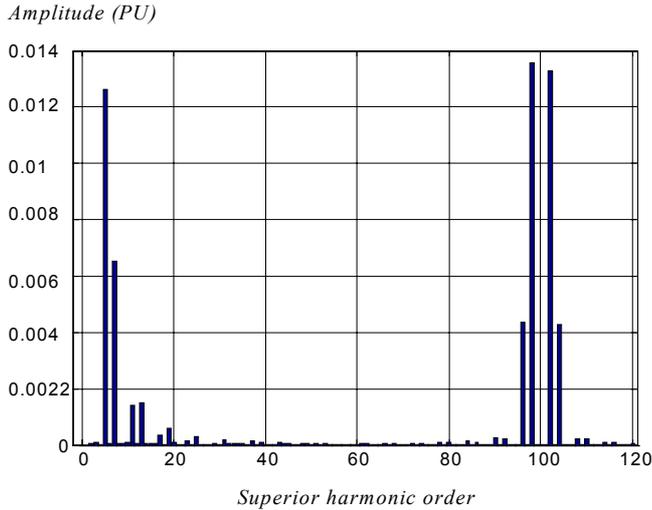


Fig.11: Harmonic content of current $i_r(t)$ (simulation – fundamental component (1 PU amplitude) is not shown).

V. INFLUENCE OF PARAMETER MISMATCHES

There are two possibilities for parameter mismatches [8]. The first one occurs when a LC line filter is included between the mains connecting point and the rectifier (including the original inductance L) to minimize the AC current ripple. If the AC voltages are measured at the connecting point, the LC filter acts as a non modeled dynamic, that was not taken into account in equation (3), and will deteriorate the performance of the dead-beat controller.

The second case occurs when the equivalent inductance L assumes the value L_{DB} in the dead-beat algorithm, and L_A is its actual value. Reference [8] concludes that the closed loop system is instable for $L_{DB}/L_A > 2$.

Figures 12a, 12b and 12c show the behavior of the system for the limit case $L_{DB}/L_A = 2$. The line current $i_r(t)$ will not track the reference current, presenting amplitude and phase error (Fig. 12a). The DC loop is active, as can be seen in Fig. 12b, compensating the error of the V_{DC} , in spite of the error introduced by the current loop. Fig. 12c shows the displacement between v and i , decreasing the power factor (PF) to 0.9607.

Reference [8] also analyses the case where the AC voltage is estimated, requiring no voltage sensor. For this case, instability is reached for $L_{DB}/L_A > 1.2$. Changes or differences between L_A and L_{DB} are more critical for this case.

In this paper, the mains voltage are measured at the input of the ‘inductor L + rectifier’ set. Even if a LC filter is included, the measuring point must not change. So the model shown in Fig. 2 is still valid, and the current loop will be robust.

Inductor resistance can also be taken into account. For a practical case, the quality factor Q ($Q = \omega L/R$) of the inductor can be considered around 10. For 60Hz mains, the time constant is $L/R = 265ms$, that is 156 times greater than the switching period ($0,1667ms$). For the above discussed values,

the inductor can be considered as a pure inductance for the deadbeat algorithm.

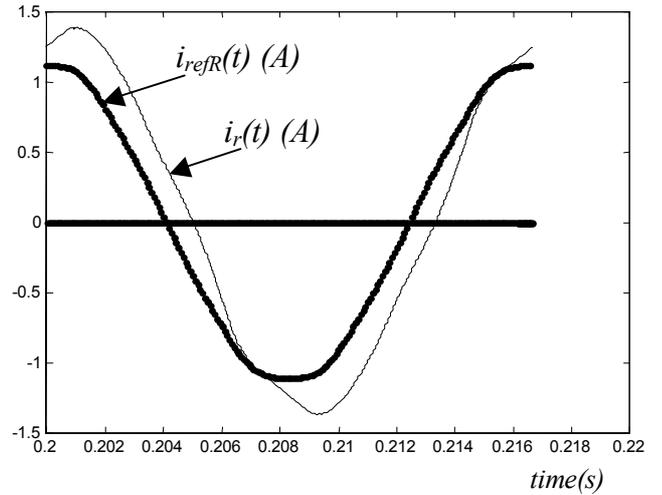


Fig. 12a. Reference current i_{refR} and current, phase r , with maximum mismatch in the inductor (simulation).

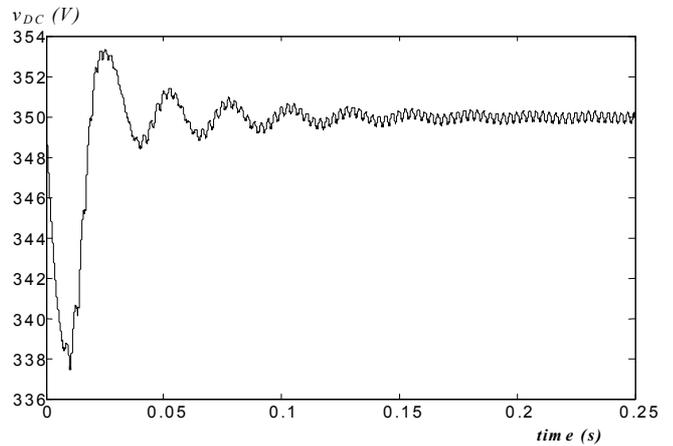


Fig. 12b. Waveform of DC voltage in the output rectifier, with maximum mismatch in the inductor (simulation).

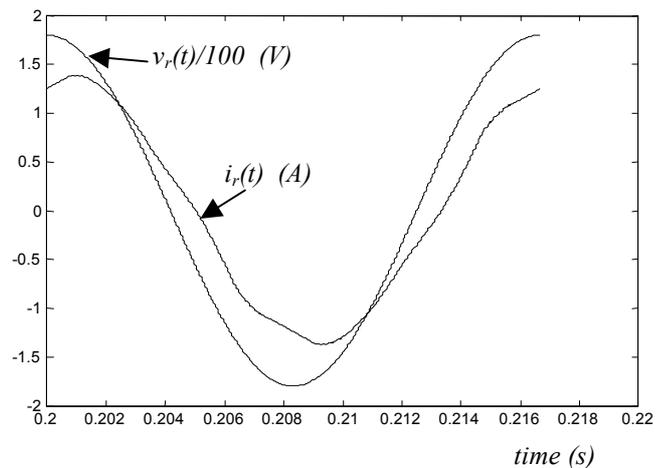


Fig. 12c. Phase r , voltage ($v/100$) and current, with maximum mismatch in the inductor (simulation).

VI. EXPERIMENTAL SETUP

The control algorithm was implemented in a DSP (Analog

Devices ADMC-401 [3], 16 bits, fixed point, 26MHz clock), specially designed for power electronics applications. This DSP includes as special features, an internal three-phase PWM generator and analog to digital (A/D) and digital to analog (D/A) converters.

Two AC line voltages and two AC line current are measured, allowing the calculation of the third line voltage and line current. Measurements are done with Hall effect voltage and current sensors (LEM LV25-P and LA25-NP).

The three-phase bridge converter, “in-house” developed, employs MOSFET transistors (IRF 840) and IRF2110 drivers.

This section introduces some experimental results.

Experimental values are:

- DC voltage: $v_{DC}=350(V)$
- DC load: $R=400(\Omega)$
- DC capacitor: $C=400(\mu F)$
- Line frequency: $f=60(Hz)$
- Line voltage: $v_{AC}=220(V)$
- PWM frequency: $f_{PWM}=6(kHz)$
- Line inductors: $L=100(mH)$
- Symmetric sampling

As in the simulated cases, no additional filter was included in the circuit of Fig. 1.

Fig. 13 show DC voltage, AC line voltage and AC line current waveforms. One can observe AC voltage distortion due to relatively low line regulation at the point of common coupling, as well as high frequency noise due to the lack of AC filter.

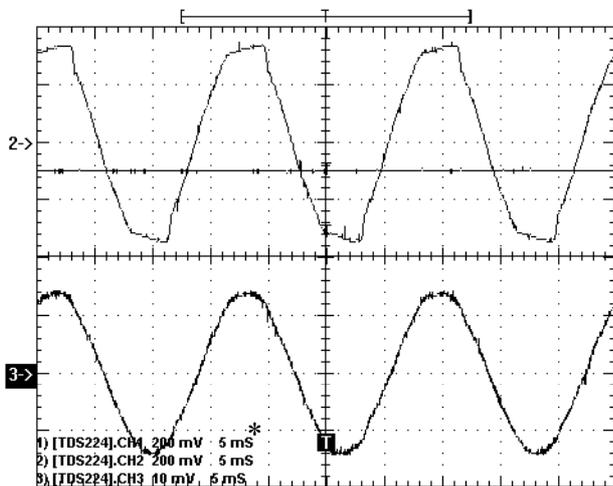


Fig. 13. Experimental waveforms of DC voltage (CH1-center) phase voltage (CH2-up) and line current (CH3-down). (Scales: CH1: 100V/div; CH2: 100 V/div; CH3: 1A/div).*

DC load variation was done changing load from $R=490(\Omega)$ to $R=360(\Omega)$ and vice-versa (Figs. 14 and 15). Test conditions show negligible DC voltage variation with load

(partial) insertion and (partial) rejection.

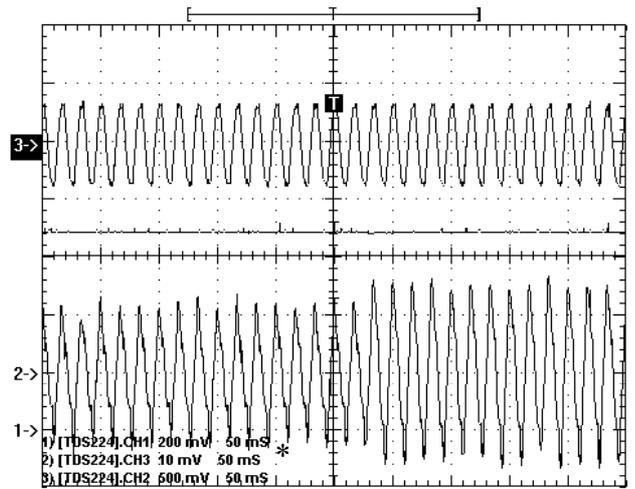


Fig. 14. Experimental waveforms of AC phase voltage (CH3-up), DC voltage (CH1-center) and line current (CH2-down), during a DC load insertion. (Scales: up: 250V/div; center: 100 V/div; down: 1A/div).*

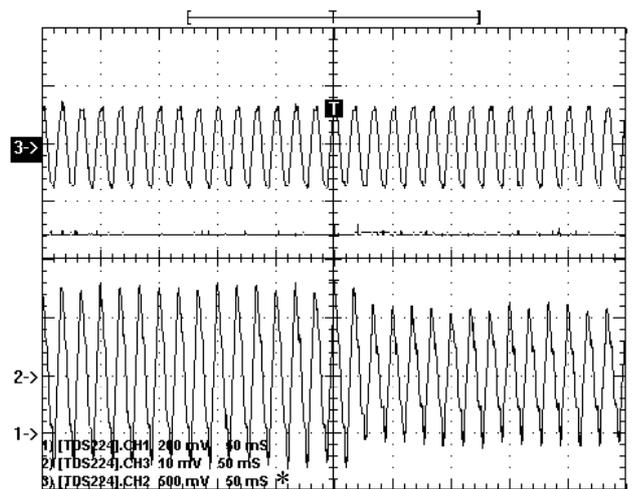


Fig. 15. Experimental waveforms of AC phase voltage (CH3-up), DC voltage (CH1-center) and line current (CH2-down), during a DC load partial rejection. (Scales: up: 250V/div; center: 100 V/div; down: 1A/div).*

Figs. 16 and 17 show complete DC load insertion and rejection (load value $R=400(\Omega)$). As Fig. 13 shows, it is difficult to see the effect on DC voltage variation. One can see that with no load current there is AC current, imposed by the voltage control loop in order to keep DC voltage constant, feeding converter (low) losses.

* The legend of the experimental results (*) does not show the real amplitudes, because the measurements were done with differential probes (voltages – Tektronix P5200) and current probes (Tektronix A6303 and A6303).

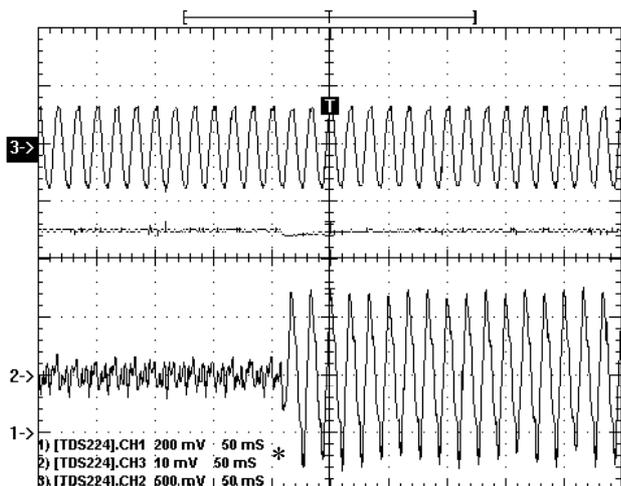


Fig. 16. Experimental waveforms of AC phase voltage (CH3-up), DC voltage (CH1-center) and line current (CH2-down), during a DC load connection. (Scales: up: 250V/div; center: 100 V/div; down: 1A/div).*

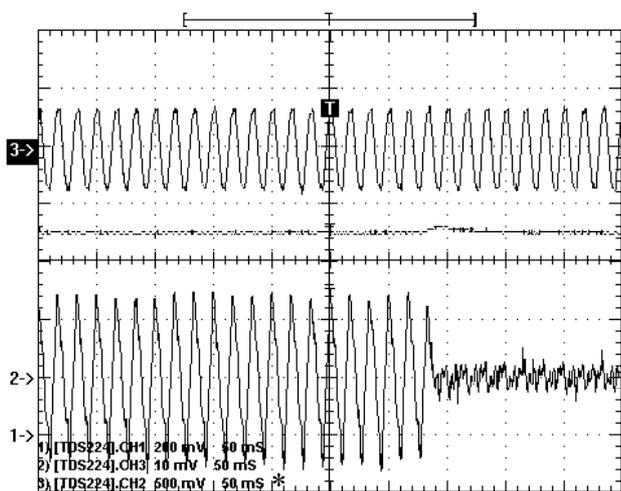


Fig. 17. Experimental waveforms of AC phase voltage (CH3-up), DC voltage (CH1-center) and line current (CH2-down), during a DC load connection. (Scales: up: 250V/div; center: 100 V/div; down: 1A/div).*

VII. CONCLUSIONS

A three-phase PWM rectifier with deadbeat current loop was presented. A simplified non-linear model was shown for the AC/DC converter. An intuitive approach was used for determining the deadbeat algorithm, which was shown to be robust even to large parameter mismatch. The linearized model of the converter was used for the design of the DC control loop. The fixed parameters PI controller showed good performance even for large transient in the load.

The parameters of linearized model depend on the operating point, affecting the performance and stability margin. This matter demands further analyses and will be treated in a future paper.

Also, an improved behavior of the AC current ripple can be easily obtained by the use of space vector modulation, which would require the deadbeat algorithm to be computed in the space vector domain.

It's well known that the space vector behavior can be obtained by adding a special zero sequence signal to the three references of the triangular PWM. A coming paper will show the merits of working in the r,s,t domain, with simple control algorithms, instead of working in the space vector domain.

A simple PLL, based on the deadbeat strategy, is designed and implemented in this paper.

REFERENCES

- [1] Buso, S. "Digital Control of Power Converters" (Lecture notes), in <http://www.dsce.fee.unicamp.br/~antenor/Digital.html>;
- [2] Matakas, L. Jr, Masada, E., Morizane, T., Koseki, S. "Full Digital Control of Power Electronics Converter Using Transputers" *Proceedings of the 4th Transputer/Occam International Conference*, June/92, Tokyo, Japan;
- [3] ADMC401 Evaluation Kit – (<http://www.analog.com/>);
- [4] Duarte, J.L.; Wintjens, J.A.A.; Rozenboom, J. "Advantages of a Fully Digitized Preconditioner". In: *International Conference on Power Quality: End-use Applications and Perspectives – PQA'94*, 3., Amsterdam, 1994. Proceedings. Amsterdam, KEMA, 1994, Vol.1.
- [5] Komatsu, W.; Kaiser, W.; Matakas, L. "PWM Current Source Converter with Deadbeat Control". In: *International Power Electronics Conference*, Tokyo, 2000. Proceedings. Tokyo, IEEJ, 2000, Vol.2, p.911-917;
- [6] Qiao C.; Smedley, K.M.; "A Topology Survey of Single-Stage Power Factor Corrector with a Boost Type Input-Current-Shapper" In: *Applied Power Electronics Conference 2000*, Proceedings. Vol.1; p.460-467.
- [7] Kazmierkowski, M.P.; Malesani, L. "Current Control Techniques for Three-Phase Voltage-Source PWM Converters: A Survey". *IEEE Transactions on Industrial Electronics*, Vol. 45, No. 5, October 1998. p. 691-703.
- [8] Buso, S.; Malesani, L.; Mattavelli, P. "Dead-Beat Current Control for Active Filters". *IEEE* 1998.
- [9] Kawamura, A.; Haneyoshi, T.; Hofst, R. G. "Deadbeat Controlled PWM Inverter with Parameter Estimation Using Only Voltage Sensor" *IEEE Transactions on Power Electronics*, Vol. 3, No. 2 April 1988.
- [10] Kawamura, A.; Yokoyama, T. "Comparison of Five Different Approaches for Real Time Digital Feedback Control of PWM Inverters". *IEEE*, 1990.
- [11] Kawamura, A.; Yokoyama, T. "Comparison of Five Control Methods for Digitally Feedback Controlled PWM Inverters". *EPE*, Firenze, 1991.
- [12] Kawabata, T.; Miyashita, T.; Yamamoto, Y. "Dead Beat Control of Three Phase PWM Inverter" *IEEE Transactions on Power Electronics*, Vol. 5, No. 1, January 1990.
- [13] Miguchi, Y.; Kawamura, A.; Hofst, R. "Optimal Pole Assignment for Power Electronics Systems". *Annual IEEE Power Electronics Specialists Conference*, Toulouse, 1985.
- [14] Matakas Jr., L. "High Power, High Performance Parallel Connected Multiconverters: Analysis and Control" In: *11^o Congresso Brasileiro de Automática*, São Paulo, SP. 1996, CBA.
- [15] Astrom, K.; Wittenmark, B. "Computer Controlled Systems – Theory and Design" 2nd ed. Prentice-Hall International Editions. 1990.
- [16] Dorf, R.; Bishop, R. "Modern Control Systems" 8^a ed. Addison-Wesley. 1998

BIOGRAPHICAL DATA

Lourenço Matakas Jr. obtained his undergraduate (1983) and graduate degrees (1989 and 1998) at the University of São Paulo. He worked as an Assistant Professor at the university of Tokyo and is now at the University of São Paulo, Catholic University of Sao Paulo, and Sao Judas University. His research areas are high power factor rectifiers, modeling and control of power converters, implementation of high power converters, and application of power converters to power systems.

Wilson Komatsu obtained his undergraduate degree in 1987, and graduate degrees (1992 and 2000) at the University of São Paulo. He is now an Assistant Professor at the University of São Paulo. His research areas are HVDC, modeling and control of power converters, implementation of high power converters, and application of power converters to power systems.

Alisson Dias Junqueira received the B.S. degree in electrical engineering from the University of São Paulo, Brazil in 2000. He is currently a post-graduating student in electrical engineering from the University of São Paulo.

MELHORIA DO FATOR DE POTÊNCIA ATRAVÉS DO AUMENTO DO NÚMERO DE PULSOS DE CONVERSORES GRAETZ COMUTADOS PELA REDE: MODELAGEM E RESULTADOS EXPERIMENTAIS

Angelo J. J. Rezek; José P. G. de Abreu; Valberto F. da Silva; José M. E. Vicente; José A. Cortez;
Otavio H. S. Vicentini; Adriana Cortez de Sá; Adriana A. S. Izidoro
Instituto de Engenharia Elétrica – UNIFEI - Universidade Federal de Itajubá
C.P.: 50 CEP:37500-903 Itajubá-MG - Brasil
e-mail: rezek@ice.efei.br

Mauro S. Miskulin
FEEC/UNICAMP - Universidade Estadual de Campinas
C.P.: 6101 CEP:13081-970 Campinas-SP - Brasil

Resumo – A corrente alternada (CA) de conversores comutados pela rede é não senoidal, gerando desta maneira, harmônicos em sistemas elétricos.

Conversores Graetz de seis pulsos são amplamente utilizados na indústria. Conversores de doze pulsos podem ser implementados a partir da associação de dois conversores de seis pulsos em série ou em paralelo. No entanto, é necessária a utilização de transformadores de alimentação. Estes transformadores devem ser conectados de modo que seus ângulos de tensão de fase sejam defasados de trinta graus entre si. Harmônicos de ordem inferior (5° e 7°) são eliminados neste caso, tornando estes transformadores adequados para a aplicação proposta.

Uma excelente redução de harmônicos pode ser obtida quando multiconversores de 24 e 48 pulsos são implementados, pela associação de quatro ou oito conversores graetz de seis pulsos, respectivamente. Quando o número de pulsos do conversor é aumentado, haverá também uma melhoria no fator de potência do sistema. Resultados experimentais serão apresentados e discutidos.

Abstract - The alternating current (AC) of line-commutated converters is non-sinusoidal, generating, therefore, harmonics in the electric system.

Six-pulse graetz line-commutated converters are widely employed in industry. Twelve-pulse converter can be achieved by associating two six-pulse converters in series or in parallel. However it is necessary to use supply transformers. These transformers are connected in such a way that the secondary voltage phase angles are displaced thirty degrees in relation to each other. Lower order characteristic harmonics are eliminated in this case (5° , 7°), rendering these transformers as adequate for the proposed application.

A very good harmonic mitigation can be obtained when 24 or 48 - pulse multiconverters are employed, by associating four or eight graetz six - pulse converters, respectively. When the converter pulse number is increased there will be also, a system power factor improvement. Experimental results will be presented and discussed.

NOMENCLATURA

F_p \Rightarrow Fator de potência do conversor.
 I_1 \Rightarrow Valor (RMS) da corrente fundamental de fase.
 I \Rightarrow Valor (RMS) da corrente de fase.
 ϕ_1 \Rightarrow Ângulo de fase da corrente fundamental I_1 .
 μ \Rightarrow Ângulo de comutação (em radianos).
 α \Rightarrow Ângulo de disparo do conversor.
 δ \Rightarrow Ângulo auxiliar.
 I_d \Rightarrow Corrente no lado CC (corrente contínua).
 m \Rightarrow Número de pontes conectadas em série.
 I_n \Rightarrow Valor (RMS) do harmônico de corrente de ordem n .
 n \Rightarrow Ordem do harmônico.
 I_{n0} \Rightarrow Valor (RMS) da corrente harmônica de ordem n , para ângulo de comutação $\mu = 0^\circ$.
 I_{10} \Rightarrow Valor (RMS) da corrente fundamental, para ângulo de comutação $\mu = 0^\circ$.
 DA \Rightarrow Defasagem Angular.
 FRH \Rightarrow Fator de redução de harmônicos.
 FDH \Rightarrow Fator de distorção de harmônicos.
 $H; K; H_1; K_1$ \Rightarrow Valores auxiliares para cálculo de FRH .
 k \Rightarrow Variável auxiliar para determinação de n ($k = 0, 1, 2, 3, \dots$).

I – INTRODUÇÃO

Transformadores especiais conectados em delta zig-zag (-15° , 0° , 15° , 30°) ou estrela – delta estendido $\pm (15^\circ)$ podem ser utilizados para que se obtenha 15° de defasamento para implementação de multiconversores de 24 pulsos. No caso de um multiconversor de 48 pulsos, são necessários $7,5^\circ$ de defasamento angular na tensão secundária, o qual pode ser obtido através da utilização dos transformadores especiais mencionados anteriormente. Um autotransformador especial ADZ ($7,5^\circ$) [10] foi também desenvolvido e utilizado, como mostra a figura 9.

Uma recente e importante aplicação de sistemas multiconversores pode ser exemplificada na utilização do 48-pulse Static Var Generator - SVG (gerador estático de reativos de 48 pulsos), no sistema apresentado em [16] e em inversores de 24 pulsos para serem aplicados em Adjusted Speed Drives – ASD (Accionamentos de velocidade regulável). Estes ASD's, oferecem significativas vantagens

em aplicações de processos de ventilação e bombeamento, em termos de alta eficiência e performance, apresentando maior confiabilidade em processos de áreas críticas, como por exemplo, bombeamento de petróleo [17].

II – FATOR DE POTÊNCIA DE CONVERSORES

O fator de potência de conversores pode ser obtido pela expressão:

$$Fp = \left(\frac{I_1}{I} \right) \cos \phi_1 \quad (1)$$

$$\delta = \alpha + \mu \quad (2)$$

Sendo δ um ângulo auxiliar igual à soma dos ângulos de disparo e de comutação.

Considerando-se o efeito da comutação, tem-se que [2]:

$$\operatorname{tg} \phi_1 = \frac{2\mu + \operatorname{sen} 2\alpha - \operatorname{sen} 2\delta}{\cos 2\alpha - \cos 2\delta} \quad (3)$$

Desprezando-se o efeito da comutação pode-se obter a seguinte expressão:

$$\phi_1 = \alpha \quad (4)$$

Novamente desprezando-se o efeito da comutação [8]:

$$I_1 = \frac{\sqrt{6}}{\pi} I_{dm} \quad (5)$$

$$I_n = \frac{I_1}{n} \quad (6)$$

III – REDUÇÃO DE HARMÔNICOS ATRAVÉS DO EFEITO DA COMUTAÇÃO

A comutação é um fator de redução de harmônicos. As expressões (7) a (9) mostram o cálculo do Fator de Redução de Harmônicos ($FRH = I_n / I_{n0}$) [7],[2].

$$H = \left[\frac{\operatorname{sen}((n+1)\mu/2)}{n+1} \right] \quad (7)$$

$$K = \left[\frac{\operatorname{sen}((n-1)\mu/2)}{n-1} \right] \quad (8)$$

$$\frac{I_n}{I_{n0}} = \frac{\sqrt{H^2 + K^2 - 2HK \cos(2\alpha + \mu)}}{(\cos \alpha - \cos \delta)} \quad (9)$$

A expressão (9) não é válida para $n=1$ e de acordo com [2]:

$$H_1 = \cos 2\alpha - \cos 2\delta \quad (10)$$

$$K_1 = \operatorname{sen} 2\delta - \operatorname{sen} 2\alpha - 2\mu \quad (11)$$

$$\frac{I_1}{I_{10}} = \frac{\sqrt{H_1^2 + K_1^2}}{4(\cos \alpha - \cos \delta)} \quad (12)$$

A Tabela 1 mostra o Fator de Redução de Harmônicos (FRH), considerando-se as expressões (9), (12) e também os resultados obtidos através da utilização de um programa FFT [5], para 256 amostras. Considerou-se para o conversor de doze pulsos que $\alpha = 0^\circ$ e $\mu = 15^\circ$.

TABELA 1
FRH para $\alpha = 0^\circ$ e $\mu = 15^\circ$.

n Ordem Harmônica	FRH Programa FFT	FRH Expressões (9) e (12)
1	0,9981	0,9980
11	0,7899	0,7899
13	0,7175	0,7174
23	0,3457	0,3453
25	0,2927	0,2922

IV – MELHORIA DO FATOR DE POTÊNCIA ATRAVÉS DO AUMENTO DO NÚMERO DE PULSOS

Desprezando-se o efeito da comutação, tem-se que:

$$Fp = \left(\frac{I_1}{I} \right) \cos \alpha \quad (13)$$

De acordo com a expressão (6):

$$I = \sqrt{\sum_{n=1}^{\infty} \left(\frac{I_1}{n} \right)^2} \quad (14)$$

Assim, para operação em 6 pulsos, tem-se:

$$n = 6k \pm 1 \quad (1, 5, 7, 11, 13, \dots)$$

$$F_{p_{6p}} = 0,9550 \cos \alpha \quad (15)$$

Para 12 pulsos, tem-se:

$$n = 12k \pm 1 \quad (1, 11, 13, 23, 25, \dots)$$

$$F_{p_{12p}} = 0,9901 \cos \alpha \quad (16)$$

Para 24 pulsos, tem-se:

$$n = 24k \pm 1 \quad (1, 23, 25, 47, 49, \dots)$$

$$F_{p_{24p}} = 0,9978 \cos \alpha \quad (17)$$

Para 48 pulsos, tem-se:

$$n = 48k \pm 1 \quad (1, 47, 49, 95, 97, \dots)$$

$$F_{p_{48p}} = 0,9996 \cos \alpha \quad (18)$$

V – CONVERSOR DE 12 PULSOS

A. Um conversor de 12 pulsos convencional.

A figura 1 mostra um conversor de 12 pulsos convencional, formado por duas pontes graetz de 6 pulsos em série, alimentadas por transformadores conectados em estrela-estrela (0°) e estrela-delta (30°) - (Três enrolamentos).

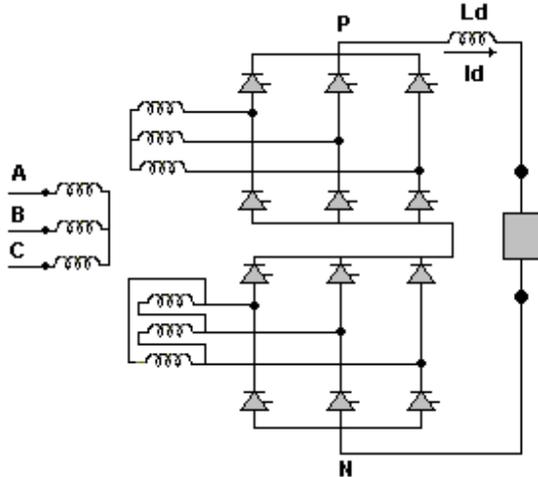


Figura 1- Conversor de 12 pulsos convencional.

Estes conversores são utilizados na maioria dos sistemas de conversão CA-CC (sistemas HVDC), como por exemplo, no projeto HVDC de ITAIPU.

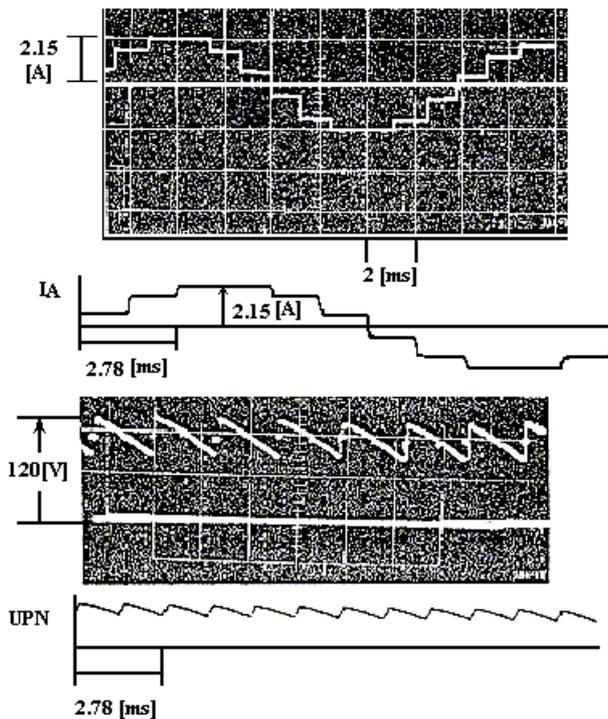


Figura 2-Formas de onda experimentais e simuladas de corrente de alimentação e tensão (CC) de saída para um conversor de 12 pulsos ($\alpha = 30^\circ$; $\mu = 1,5^\circ$).

A Figura 2 mostra as formas de onda experimentais e simuladas da corrente de alimentação e tensão (CC) de saída

para ângulos de disparo e comutação de $\alpha = 30^\circ$ e $\mu = 1,5^\circ$, respectivamente.

B. Conversor de 12 pulsos opcional [3].

Uma diferente opção em 12 pulsos pode ser obtida através de transformadores com conexão estrela - delta estendido ($\pm 15^\circ$). A Figura 3 mostra este tipo de transformador.

Os tapas ajustados para que se obtenha uma relação de transformação de 1:1 e uma defasagem angular de $\pm 15^\circ$ na tensão secundária são [1]:

$$N_2 = 0,518N_1 \quad (19)$$

$$N_3 = 0,897N_1 \quad (20)$$

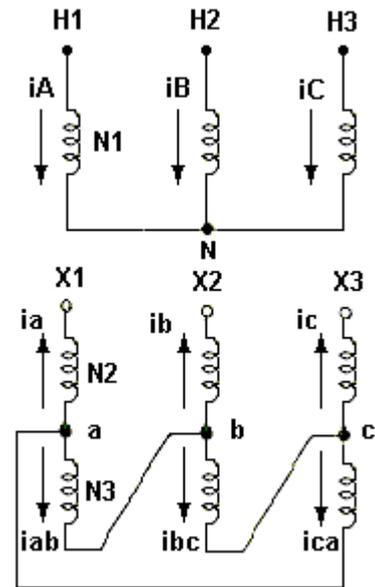


Figura 3 – Transformador com conexão estrela - delta estendido.

A Figura 4 mostra um conversor de 12 pulsos alternativo.

A Figura 5 mostra as formas de onda experimentais e simuladas da corrente de alimentação e da tensão (CC) de saída, para ângulos de disparo e comutação iguais a $\alpha = 30^\circ$ e $\mu = 1,5^\circ$, respectivamente.

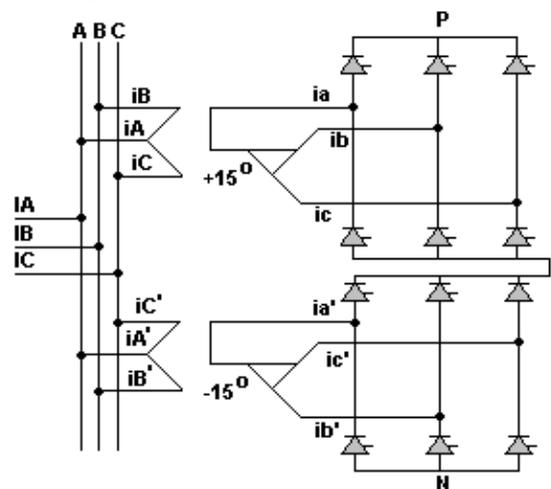


Figura 4 – Conversor de 12 pulsos alternativo.

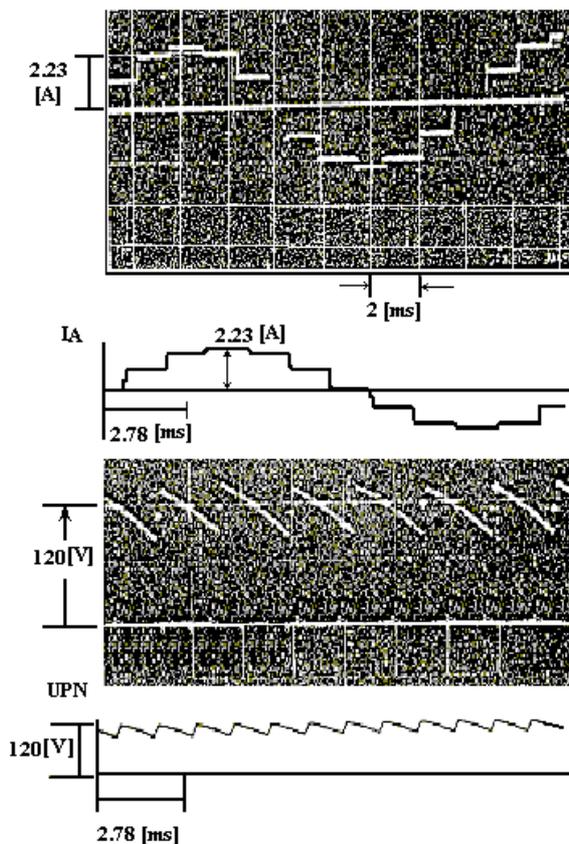


Figura 5 – Formas de onda experimentais e simuladas de corrente de alimentação e tensão (CC) de saída para um conversor de 12 pulsos alternativo ($\alpha = 30^\circ$; $\mu = 1,5^\circ$).

VI – CONVERSOR DE 24 PULSOS

A. Conversor de 24-Pulsos utilizando transformadores conectados em delta zig-zag.

A Figura 6 mostra um transformador conectado em delta/zig-zag.

Os tapes N_2 e N_3 necessários para a obtenção dos defasamentos angulares: -15° ; 0° ; 15° e 30° são apresentados na Tabela 2 [1].

TABELA 2
Tapes N_2 e N_3

D.A.	TAPE N_2	TAPE N_3
-15°	141,42 %	51,76 %
0°	100 %	100 %
15°	51,76 %	141,42 %
30°	0 %	173,21 %

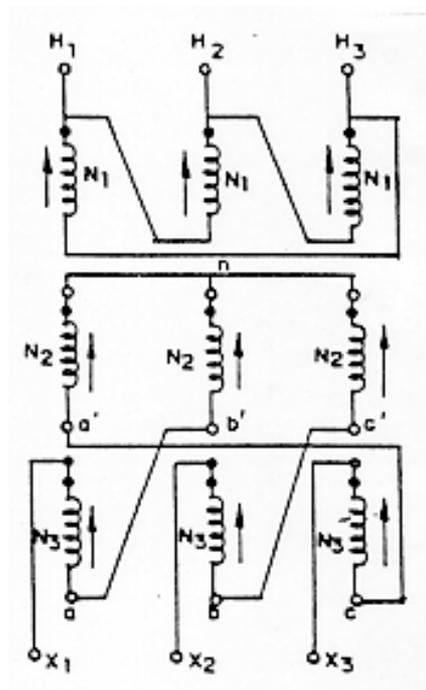


Figura 6 – Transformador conectado em Delta / Zig-Zag.

B. Conversores de 24 Pulsos alimentados por transformadores com conexões estrela-estrela (0°); estrela delta (30°); estrela – delta estendido ($\pm 15^\circ$).

Estes sistemas de 24 pulsos podem ser obtidos através da associação convencional (figura 1) e alternativa (figura 4) de conversores de 12 pulsos. O defasamento angular de 15° na tensão secundária é novamente alcançado.

C. Resultados Experimentais e de Simulação

A Figura 7 mostra um conversor de 24 pulsos, onde podem ser visualizadas as duas opções apresentadas anteriormente em VI A e VI B.

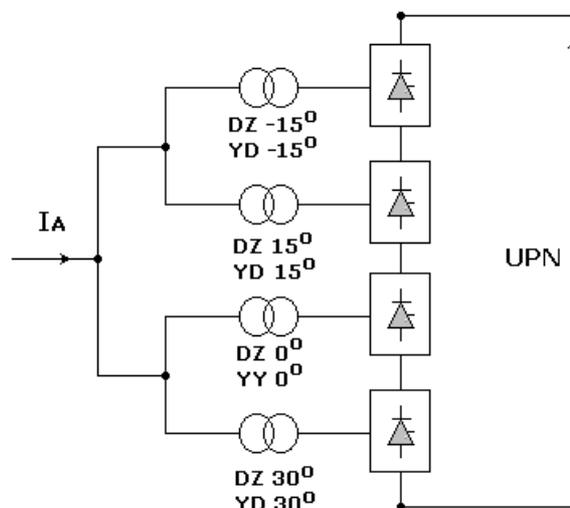


Figura 7 – Conversor de 24 pulsos.

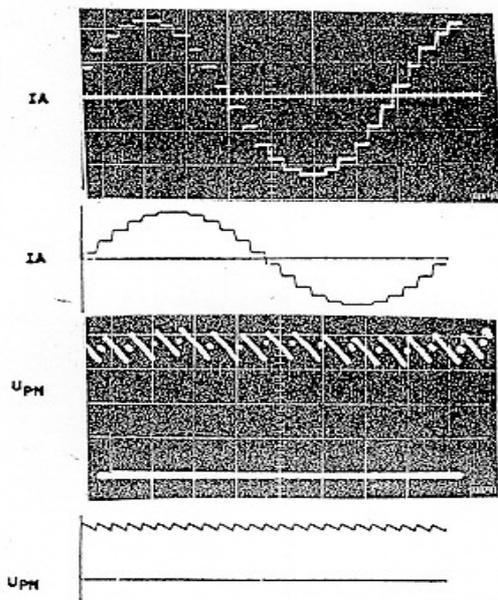


Figura 8 – Formas de onda experimentais e simuladas de corrente de alimentação (I_A) e tensão CC de saída (U_{PN}) para um conversor de 24 pulsos ($\alpha = 30^\circ$; $\mu = 1,5^\circ$).
 Corrente: 1 div. Vertical = 2[A]
 Escala Horizontal: 1div. = 2[ms]
 Tensão: 1 div. Vertical = 50[V]
 Escala Horizontal: 1div. = 1[ms]

A Figura 8 mostra as formas de onda experimentais e simuladas de corrente de alimentação (I_A) e tensão CC de saída (U_{PN}) para $\alpha = 30^\circ$ e $\mu = 1,5^\circ$.

VII – CORRENTE CA EXPERIMENTAL PARA UM MULTICONVERSOR DE 48 PULSOS

A Figura 9 mostra um multiconversor de 48 pulsos (configuração série).

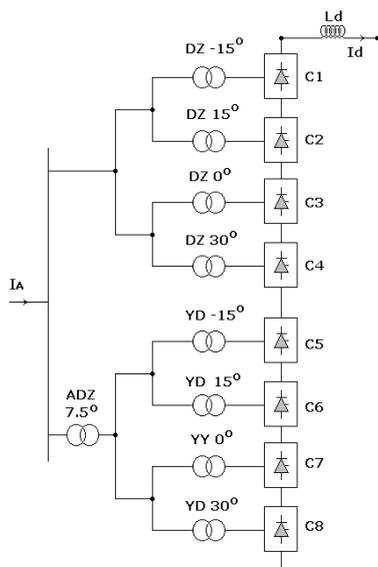


Figura 9 – Multiconversor de 48 pulsos (configuração série).

O equipamento ADZ mostrado na figura 9 é um autotransformador defasador ($7,5^\circ$) [10]. Este equipamento possui relação de transformação 1:1, sendo responsável apenas pela introdução do defasamento necessário de $7,5^\circ$ nas tensões dos secundários dos transformadores alimentadores dos conversores.

A Figura 10 mostra o aspecto da corrente I_A e da tensão de fase U_{an} para $\alpha = 0^\circ$ e $\mu = 4^\circ$ [4].

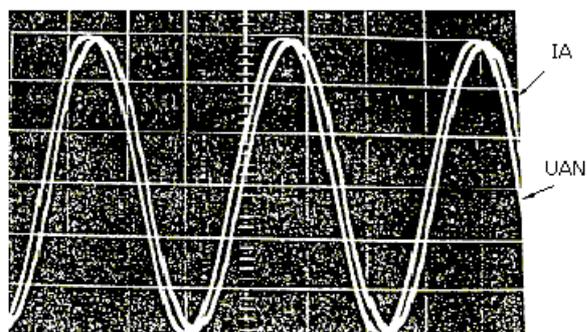


Figura 10 – Corrente I_A e tensão de fase U_{an} de um multiconversor de 48 pulsos ($\alpha = 0^\circ$; $\mu = 4^\circ$).
 Corrente: 1 div. Vertical = 3[A]
 Tensão: 1 div. Vertical = 60[V]
 Escala Horizontal: 1div. = 5[ms]

VIII – RESULTADOS EXPERIMENTAIS

Conversores de 6-12-24-48 pulsos formados por pontes de diodos conectadas em serie foram desenvolvidos em laboratório, a fim de se comparar os resultados teóricos de fator de potência calculados através das expressões (15, 16, 17, 18) com os resultados experimentais obtidos durante ensaios. Como pontes a diodos foram utilizadas, equivale a considerar o ângulo de disparo igual a zero graus nas expressões (15), (16), (17) e (18), para cálculo dos fatores de potência dos conversores.

Uma carga de resistência variável foi conectada aos terminais de saída (CC) para o multiconversor operando com 6, 12 e 24 pulsos e considerando-se em todos os casos tensão e corrente de saída CC iguais a 220 [V] e 1,0 [A], respectivamente.

O equipamento de medição utilizado para medir o fator de potência durante os ensaios foi um medidor VOLTECH PM 300 (Three phase-power analyser), apropriado para medições em circuitos com formas de onda não senoidais.

Os resultados obtidos podem ser observados nas expressões 21 a 23.

$$F_{p_{6p}} = 0,9560 \quad (21)$$

$$F_{p_{12p}} = 0,9920 \quad (22)$$

$$F_{p_{24p}} = 0,9980 \quad (23)$$

Para outros tipos de carga, como cargas resistivas-indutivas, os resultados obtidos foram praticamente os mesmos. Considerando-se um aumento da corrente da saída,

o ângulo de comutação aumentará, acarretando numa maior aproximação da forma de onda da corrente de alimentação com uma senóide. Isto implicará no aumento do fator (FDH = I_1/I), o que a princípio possibilitaria um aumento do fator de potência. Entretanto, o ângulo de fase da componente fundamental da corrente, ϕ_1 , aumenta (vide equação 3) e o correspondente fator de potência diminuirá por este motivo (vide equação 1). Nas verificações experimentais feitas no artigo o ângulo de comutação era baixo e foi desprezado, e comparou-se, desta maneira os resultados calculados desprezando-se a comutação com os resultados experimentais, obtendo-se uma boa aproximação entre ambos. Para o caso de uma comutação não desprezível espera-se também uma aproximação entre resultados teóricos de fator de potência utilizando-se e equação 3 e os resultados experimentais.

IX – CONCLUSÃO

Os sistemas multiconversores estão sendo aplicados recentemente em novos sistemas elétricos, conforme pode ser comprovado pelas referências [16], [17].

Pode-se concluir que há uma melhoria no fator de potência de conversores quando se aumenta o número de pulsos deste conversor, devido ao aumento do Fator de Distorção de Harmônicos (FDH = I_1/I). Com FDH igual a 1, equivale a dizer que a onda é puramente senoidal. À medida que ocorre diminuição de FDH, significa que a onda é mais rica em harmônicos. O programa FFT utilizado [5] apresentou uma boa precisão, como mostra a tabela 1.

Transformadores conectados em estrela – delta estendido são uma boa opção para a implementação de um conversor de 12 pulsos, considerando-se que as unidades são idênticas, sendo que a simples inversão da seqüência de fases de uma delas é suficiente para a obtenção de uma defasagem angular $\pm 15^\circ$.

Através da associação de um conversor de 12 pulsos convencional com um conversor de 12 pulsos alternativo, pode-se obter um multiconversor de 24 pulsos. Este arranjo pode ser utilizado em sistemas industriais e também em sistemas HVDC de transmissão de energia elétrica, minimizando assim a instalação de filtros para harmônicos.

A comutação é responsável apenas pela atenuação de harmônicos, e não pela eliminação destes. Há na verdade, um aumento do fator de distorção de harmônicos (FDH), no entanto, o fator de potência do conversor diminui, porque o ângulo de fase ϕ_1 da corrente fundamental aumenta (ver expressão 1).

A principal vantagem de se utilizar um autotransformador ADZ (figura 9), para a obtenção de uma defasagem angular de $7,5^\circ$ necessária para operação de um multiconversor de 48 pulsos, é o baixo custo deste tipo de equipamento.

Protótipos de multiconversores de 12-24-48 pulsos foram construídos e testados em nossos laboratórios, de acordo com [1], [2], [4], [6], [9], [11], [12], [13], [14], [15] e os resultados experimentais obtidos (expressões 21, 22, 23) conferem com os resultados obtidos através de expressões teóricas para o cálculo do fator de potência de multiconversores (expressões 15, 16, 17). Pode-se assim afirmar que o valor do fator de potência experimental

esperado para um conversor de 48 pulsos certamente estará próximo dos resultados teóricos mostrados na expressão 18. As formas de ondas de correntes e tensões simuladas, também foram comprovadas pelos resultados experimentais obtidos (figuras 2,5,8), verificando-se desta forma a eficiência dos programas de simulação utilizados [11].

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] A.J.J.Rezek, “Modelagem e implementação de sistemas multiconversores”, Tese de doutorado, FEE/UNICAMP, maio, 1991.
- [2] A.J.J.Rezek, “Análise em regime permanente e transitório de um sistema de conversão de energia elétrica AC/DC”, Dissertação de mestrado, EFEI, Junho, 1986.
- [3] L.Carlsson. “Extended-delta converter transformer for 12 - pulse operation in HVDC projects”, *International HVDC Seminar*, Rio de Janeiro, Brasil, 1986.
- [4] J.P.G.Abreu; A.J.J.Rezek; A.Candido, “Modelling and implementation of 48-pulse multiconverter”, *Proceedings IEEE-ICHPS*, Bologna, Italy, pp 50-54, Setembro, 1994.
- [5] J.C.G.Siqueira; G.H.F.Floriano, “Espectro harmônico de uma função periódica, utilizando transformada de Fourier”, *EFEI/CPq/DET*, Itajubá, Brasil, 1987.
- [6] A.J.J.Rezek; J.P.G.Abreu; V.F.Silva; M.S.Miskulin, “Novas alternativas para transmissão HVDC”, *Cigré, VI ERLAC*, Foz do Iguaçu, PR, Brasil, Maio, 1995.
- [7] E.Ulmann, “Power transmission by direct current”, *Springer-Verlag*, Berlin, Heidelberg, New York, 1975.
- [8] E.W.Kimbark, “Direct current transmission”, Vol I, *Wiley Interscience*, New York, 1971.
- [9] A.J.J.Rezek; J.P.G.Abreu; V.F.Silva; M.S.Miskulin, “Aumento do número de pulsos do sistema conversor: conteúdo harmônico e melhoria do fator de potência”, *Cigré, VII ERLAC*, Puerto Iguazú, Argentina, maio, 1997.
- [10] J.P.G.Abreu; A.J.J.Rezek; V.F.Silva; L.E.B.Silva; M.S.Miskulin, “Harmonics elimination in multiconverter systems by using a special autotransformer (ADZ)”, *Proceedings AMSE Modelling, Simulation & Control*, AMSE Press, vol. 38, n° 4, pp 45-53, France, 1992.
- [11] A.J.J.Rezek; M.S.Miskulin; J.P.G.Abreu “Projeto auxiliado por computador aplicado a eletrônica de potência”, *II Seminário de Eletrônica de Potência*, pp. 102-109, UFSC, Florianópolis, SC, Brasil, 1989.
- [12] A.J.J.Rezek; J.P.G.Abreu; V.F.Silva; M.S.Miskulin, “Converters for application in HVDC systems”, *International Conference on Contribution of Cognition to Modeling, AMSE*, July 6-8, Lyon-Villeurbanne, France, 1998.
- [13] O.H.S.Vicentini; A.J.J.Rezek; “Melhoria do fator de potência e do conteúdo harmônico de conversores comutados pela rede”, *CNPq, Pesquisa de iniciação científica*, 2000.
- [14] A.J.J. Rezek; J.P.G.Abreu; V. F. Silva; J.M.E. Vicente; J.A. Cortez; W. O. Assis; M. S. Miskulin “Power factor improvement of line-commutated graetz converters by increasing their number of pulses”, *V Congresso Brasileiro de Eletrônica de Potência, COBEP 99*, Foz do Iguaçu, PR, Brasil, Anais COBEP'99, v.2. pp 551-556, 1999.

[15] A. J. J. Rezek; J. P. G. de Abreu; V. F. da Silva; J. M. E. Vicente; J. A. Cortez; H. S. Vicentini; A. C. de Sá; M. S. Miskulin, "Power factor improvement of line-commutated graetz converters by increasing their number of pulses: modeling and experimental results", artigo aprovado para publicação e apresentação no *IEEE X ICHQP (International Conference on Harmonics and Quality of Power)*, de 6 a 9 de Outubro de 2002, Rio de Janeiro, Brasil.

[16] S. Mori; K. Matsuno; T. Hasegawa; S. Onnishi; M. Takeda; M. Seto; S. Murakami; F. Isniguro, "Development of a large Static Var Generator using self-commutated inverters for improving power system stability", *IEEE Transactions on Power Systems*, vol. 8, N.1, pp. 371-377, february 1993.

[17] E. Cengelci; P. Enjeti; W. Gray "A new modular motor-modular inverter (MM-MI) concept for medium voltage adjustable speed drive systems", *Proceedings IEEE PESC*, pp. 1972-1979, 1999.

DADOS BIOGRÁFICOS

Angelo José J. Rezek, nascido em 1959 em Conceição do Rio Verde (MG), é engenheiro eletricitista (1981), mestre (1986) em engenharia elétrica pela Escola Federal de Engenharia de Itajubá - EFEI, e doutor (1991) em engenharia elétrica pela Universidade de Campinas - UNICAMP. É docente na atual UNIFEI desde 1981. Suas áreas de interesse são eletrônica de potência e máquinas elétricas.

José Policarpo Gonçalves de Abreu, nascido em 1952 na Ilha da Madeira, Portugal, é engenheiro eletricitista (1975), mestre (1980) em engenharia elétrica pela Escola Federal de Engenharia de Itajubá - EFEI, e doutor (1991) em engenharia elétrica pela Universidade de Campinas - UNICAMP. É docente na atual UNIFEI desde 1976. Suas áreas de interesse são aplicações de transformadores conversores, máquinas elétricas, e qualidade de energia elétrica.

José Antonio Cortez, nascido em 1953 em Itajubá (MG), é engenheiro eletricitista (1979) pelo Instituto Nacional de Telecomunicações - INATEL, mestre (1987) pela Universidade de São Paulo (USP-São Carlos) e doutor (1997) em engenharia elétrica pela Universidade de São Paulo (USP-São Paulo). Suas áreas de interesse são eletrônica de potência e acionamentos elétricos.

Valberto Ferreira da Silva, nascido em 1951 em Bento Gonçalves (RS), é engenheiro eletricitista (1976) e mestre (1980) em engenharia elétrica pela Escola Federal de Engenharia de Itajubá - EFEI, e doutor (2001) pela Escola Politécnica da Universidade de São Paulo. Suas áreas de interesse são eletrônica de potência e acionamentos elétricos.

José Manuel Esteves Vicente, nascido em 1960 em Fundão, Portugal, é engenheiro eletricitista (1987) e mestre (1981) em engenharia elétrica pela Escola Federal de Engenharia de Itajubá - EFEI. Suas áreas de interesse são ensaios em máquinas elétricas e eletrônica digital.

Adriana Cortez de Sá, nascida em 1975 em São Paulo (SP), é engenheira eletricitista (1998) pelo Instituto Nacional de Telecomunicações - INATEL 1998. É mestre em ciências em engenharia elétrica, título obtido em 2002 na Escola Federal de Engenharia de Itajubá (EFEI). Atualmente ela está cursando pós-graduação (doutorado) na área de eletrônica de potência da Universidade Federal de Itajubá - UNIFEI.

Otávio Henrique Salvi Vicentini, nascido em 1979 em Itapira (SP), graduou-se em agosto de 2002 em engenharia elétrica pela Universidade Federal de Itajubá (UNIFEI). Suas áreas de interesse são máquinas elétricas e eletrônica de potência.

Mauro Sérgio Miskulin, nascido em 1947 em Santa Rita do Passa Quatro (SP), é engenheiro eletricitista (1971), mestre (1974) em engenharia elétrica pela Universidade de Campinas - UNICAMP, e doutor (1980) em engenharia elétrica por Cranfield Institute of Technology, Inglaterra. Suas áreas de interesse são eletrônica de potência e máquinas elétricas.

Adriana Aparecida dos Santos Izidoro, nascida em 1973, em Cristina (MG), é engenheira eletricitista formada em 1995 pelo Instituto Nacional de Telecomunicações (INATEL), mestre em ciências em engenharia elétrica pela Escola Federal de Engenharia de Itajubá (EFEI), 2000. Atualmente ela está cursando pós-graduação (doutorado) na área de eletrônica de potência da Universidade Federal de Itajubá - UNIFEI.

UNIDADE RETIFICADORA TRIFÁSICA ISOLADA COM ALTO FATOR DE POTÊNCIA

Denizar Cruz Martins e Elias Sebastião de Andrade

Universidade Federal de Santa Catarina

Departamento de Engenharia Elétrica

INEP – Instituto de Eletrônica de Potência

Caixa Postal 5119

88040-970 – Florianópolis, SC – Fone: (48)331.9204 – E-mail: denizar@inep.ufsc.br

Resumo – Este artigo apresenta a análise de um conversor trifásico isolado operando em comutação suave para aplicação em carregamento de baterias. A estrutura trabalha com alto fator de potência sem a necessidade de circuitos intermediários. Suas principais características são: simplicidade no circuito de comando e controle das chaves estáticas controladas, robustez do circuito de potência e alta confiabilidade. Princípio de operação, análise matemática, procedimento de projeto e resultados experimentais obtidos a partir de um protótipo de laboratório (48V/55A) são apresentados.

Abstract – This paper presents the analysis of an isolated three-phase converter operating in soft commutation as a battery charger. The structure works with a high power factor without intermediate circuits. Its main features are: simplicity of the control and drive circuit, and robustness of the power circuit. Principles of operation, simulation and experimental results obtained from a laboratory prototype (48V/55A) are presented.

I. INTRODUÇÃO

Nos últimos vinte anos a Eletrônica de Potência tem alcançado um grau de desenvolvimento técnico e científico surpreendente, tanto no que se refere à criação de variações topológicas como no aperfeiçoamento das estratégias de comando e controle dos conversores estáticos.

Devido a esse enorme desempenho, os conversores estáticos são normalmente utilizados nas mais variadas aplicações industriais, e se constituem atualmente em um dos maiores temas de estudo em engenharia elétrica.

Apesar desse extraordinário desempenho, o estágio de entrada dos conversores estáticos nos quais se emprega um retificador a diodo em ponte acoplado a um filtro capacitivo com capacitância de valor expressivo, apresenta alguns sérios problemas para a rede elétrica de alimentação. A associação desses componentes gera uma carga não linear que, quando conectada ao sistema elétrico de potência causa sérias distorções na corrente de entrada, resultando em um elevado conteúdo harmônico.

Devido a esse inconveniente, as pesquisas na área de conversores CA-CC trifásicos com alto fator de potência têm sido intensificadas, como mostram as referências [1-7]. Para o sucesso da pesquisa, as estruturas propostas devem apresentar algumas peculiaridades tais como: conversão da tensão alternada de entrada em tensão contínua regulada e

isolada na saída, comutação suave, e o menor número possível de interruptores controlados.

Em [1] tem-se como vantagem a utilização de conversores independentes, facilitando o projeto e aumentando a confiabilidade do sistema. Contudo, a transferência de energia é realizada em dois estágios, onde o primeiro estágio consiste em um pré-regulador de fator de potência. Além disso, o fluxo de potência é pulsado e a estrutura apresenta uma elevada quantidade de componentes.

Os trabalhos apresentados em [2 – 4] mostram um fluxo de potência constante, entretanto, os circuitos de comando e controle dos interruptores estáticos são complexos e a transferência de energia é ainda realizada em dois estágios. Os conversores não são independentes, comprometendo a confiabilidade do sistema. Em [5 – 7] melhores resultados são obtidos em termos de rendimento do circuito, operando com fluxo de potência constante; porém, ainda apresentam grandes dificuldades ao nível de implementação dos circuitos de comando, devido à sua complexidade, e a transferência de energia se dá também em dois estágios.

A estrutura de potência do conversor proposto neste trabalho é particularmente simples e permite o projeto de um equipamento robusto com baixo custo, devido às seguintes razões: não há a necessidade de filtros de baixa frequência na entrada e tampouco na saída; as perdas durante a comutação são praticamente nulas; o circuito de comando é muito simples; cada fase representa um conversor que opera independentemente dos outros, com um único estágio de processamento de energia; e o sistema não necessita de pré-regulador para correção do fator de potência.

Com essa topologia obtém-se as características fundamentais para a aplicação desejada, ou seja, isolamento galvânico entre a fonte de entrada e o conversor, simplicidade do circuito de comando, possibilidade do controle do fluxo de potência através da modulação da frequência agindo sobre dois interruptores por fase, característica de saída como fonte de corrente, e baixa ondulação de corrente na saída. Há ainda uma outra importante característica desse conversor, qual seja, o alto fator de potência de entrada sem a necessidade de circuitos intermediários de correção.

II. CIRCUITO PROPOSTO

A literatura tem apresentado soluções para a correção do fator de potência em retificadores trifásicos, baseados em conversores estáticos, cujas estratégias podem ser sumarizadas conforme descrito abaixo:

- a) Três conversores monofásicos com dois estágios de processamento de energia [1]: Nesta estratégia os conversores de cada fase são independentes permitindo o uso de módulos padronizados. No caso de falha de qualquer módulo o sistema continua operando com menor potência. Contudo, a utilização de dois estágios acarreta uma quantidade excessiva de componentes;
- b) Um conversor trifásico com dois estágios de processamento de energia [2 – 7]: Nesta estratégia o número de componentes é menor, embora se utilize dois estágios de potência, por outro lado a utilização de um único conversor trifásico compromete a confiabilidade do sistema.

A proposta apresentada neste artigo consiste na utilização de conversores independentes para cada fase empregando um único estágio de processamento de energia. Pretende-se, dessa forma, preservar a confiabilidade do sistema com um número reduzido de componentes. Além disso, particular atenção foi dada para que o circuito de comando seja simples e de fácil implementação.

A. Descrição do Circuito Proposto

O conversor possui na entrada um retificador em ponte completa seguido por um circuito série ressonante com tensão grampeada pelo capacitor ressonante. O diagrama de potência do conversor ressonante proposto está representado na figura 1 onde:

- vac tensão alternada de entrada;
- Eo tensão nas baterias;
- D1-D12 diodos retificadores de entrada;
- DP1-DP6 diodos retificadores de saída;
- DG1-DG6 diodos grampeadores de tensão;
- T1-T6 interruptores estáticos controlados;

- Lr1-Lr3 indutores ressonantes;
- Cr1-Cr3 capacitores ressonantes.

Os interruptores T1, T3 e T5 são comandados simultaneamente, assim como T2, T4 e T6. Por esse motivo o circuito de comando se torna muito simples. Na figura 5, a duração do sinal de comando para T1 e T2 é mostrada durante um período de chaveamento.

B. Princípio de Operação

A operação deste conversor é baseada em alguns princípios básicos, tais como: 1) a frequência de chaveamento é bem superior à frequência da rede de entrada; 2) a tensão da bateria E_o é muito menor do que a tensão de pico da fonte de entrada V_m , assim θ_1 (ângulo inicial) é muito pequeno; e 3) o estágio inversor opera em regime permanente com frequência constante.

Para um quarto do período da tensão de entrada, há dois diferentes modos de operação, como está mostrado na figura 2.

Modo A: ($0 < \theta < \theta_1$) $vac < 2 \cdot E_{op}$. Não há transferência de energia para a carga.

Modo B: ($\theta_1 < \theta < \pi/2$). Durante este intervalo, o conversor transfere energia à carga.

Portanto:

$$\sin \theta_1 = \left(\frac{2 \cdot E_{op}}{V_m} \right) \Rightarrow \theta_1 = \arcsin(q) \quad (1)$$

$$\cos \theta_1 = \sqrt{1 - \sin^2 \theta_1} = \sqrt{1 - q^2} \quad (2)$$

O parâmetro q é definido como o ganho estático de tensão dado pela relação $(2 \cdot E_{op}/V_m)$, e E_{op} representa a tensão no secundário do transformador refletida ao primário.

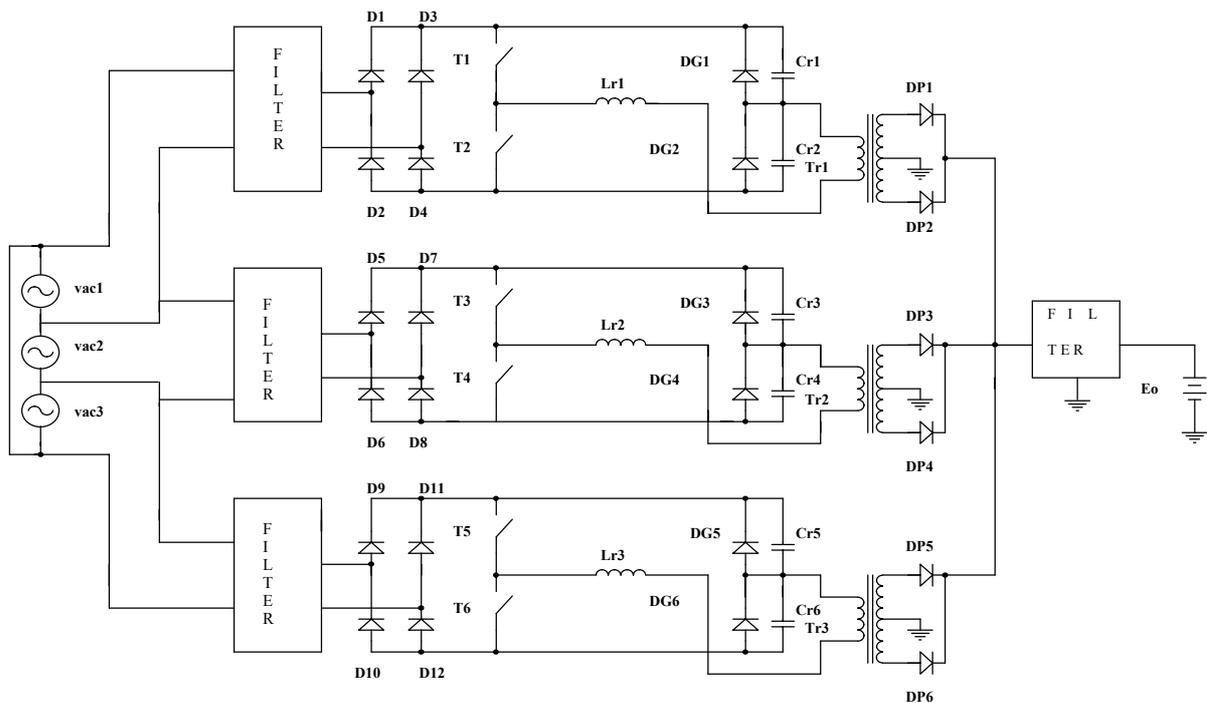


Figura 1: Circuito de potência proposto.

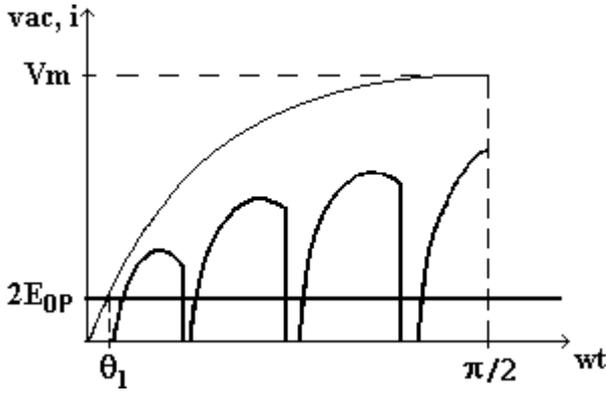


Figura 2: Tensão e corrente de entrada.

C. Etapas de Operação

Durante um período de chaveamento do conversor ressonante, a tensão de entrada v_{ac} pode ser considerada constante. Portanto, a estrutura a ser analisada é mostrada na figura 4, onde as tensões V_{in} e E_{op} são consideradas constantes e todos os componentes são tomados como ideais. As etapas de operação apresentadas a seguir estão também representadas na figura 4.

1ª Etapa ($t_0, t_1 \rightarrow$ ressonante): $T1, D3, D6$ estão conduzindo:

Condições iniciais: $i_{Lr} = 0$; $v_{Cr1} = V_{in}$; $v_{Cr2} = 0$. O transistor $T1$ conduz e i_{Lr}, v_{Cr1} , e v_{Cr2} evoluem senoidalmente. Quando $v_{Cr2} = V_{in}$ o diodo $D1$ é polarizado diretamente.

2ª Etapa ($t1, t2 \rightarrow$ linear): $T1, D3, D6, D1$ estão em condução:

Condições iniciais: $i_{Lr} = I$; $v_{Cr2} = V_{in}$; $v_{Cr1} = 0$. O diodo $D1$ entra em condução, a corrente i_{Lr} decresce linearmente até zero, as tensões v_{Cr1} e v_{Cr2} se mantêm nos mesmos valores.

3ª Etapa ($t3, t4 \rightarrow$ ressonante): $T2, D4, D5$ estão conduzindo:

Condições iniciais: $i_{Lr} = 0$; $v_{Cr1} = 0$; $v_{Cr2} = V_{in}$. Nesta etapa o mesmo modo de operação da 1ª etapa é repetido.

4ª Etapa ($t4, t5 \rightarrow$ linear): $T2, D4, D5, D2$ estão em condução:

Condições iniciais: $i_{Lr} = -I$; $v_{Cr2} = V_{in}$; $v_{Cr1} = 0$. A mesma operação apresentada na 2ª etapa é aqui repetida.

Condições finais: $i_{Lr} = 0$; $v_{Cr1} = V_{in}$; $v_{Cr2} = 0$.

O bloqueio dos transistores $T1$ e $T2$ ocorre naturalmente, caracterizando uma comutação com corrente nula (ZCS). A figura 5 mostra as principais formas de onda relativas às quatro etapas de funcionamento.

III. ANÁLISE QUANTITATIVA

Através de uma análise matemática é possível determinar os esforços de tensão e/ou corrente sobre os componentes do circuito, assim como a sua característica de transferência de energia. Neste estudo serão apresentadas as curvas essenciais, de forma a tornar possível o estudo via simulação numérica.

A. Obtenção do Plano de Fase

Em regime permanente, apenas a análise das duas primeiras etapas (ressonante e linear) é suficiente para a construção do plano de fase desta estrutura.

1ª Etapa Ressonante (t_0, t_1): A partir do circuito equivalente da figura 4.a e das condições iniciais iguais a zero, obtém-se a equação (3), que descreve o comportamento das grandezas na primeira etapa.

2ª Etapa Linear (t_1, t_2): A partir da figura 4.b e desprezando a queda de tensão nos diodos, determina-se a equação (5). Na figura 5, para $t = t_1 \Rightarrow I_{Lr}(t) = I$, então (6) é obtida. Durante esta etapa a tensão v_{Cr1} é mantida no valor V_{in} .

$$V_{in} - E_{op} = V_{Cr}(t) + Lr \frac{dI_{Lr}(t)}{dt} \quad (3)$$

$$V_{Cr}(t) + j\sqrt{\frac{Lr}{Cr}} \cdot I_{Lr}(t) = E - E \cdot e^{-j\omega_0 t} \quad (4)$$

$$Lr \cdot \frac{dI_{Lr}(t)}{dt} + E_{op} = 0 \quad (5)$$

$$I_{Lr}(t) = I - \frac{E_{op}}{Lr} \cdot t \quad (6)$$

onde: $\omega_0 = 1/\sqrt{Lr \cdot Cr}$; $Cr = Cr1 + Cr2$; $Z_0 = \sqrt{Lr/Cr}$
 $E = V_{in} - E_{op}$.

A partir das equações (3) e (4) pode-se construir o plano de fase da estrutura (figura 6).

B. Curvas Relevantes e Expressões

Devido à característica de fonte de corrente na saída, a potência deste conversor é dada pela soma das contribuições individuais de cada fase.

Considerando a potência de entrada igual à potência de saída, obtém-se:

$$E_{op} \cdot \left(I_o \cdot \frac{N_s}{N_p} \right) = 3 \cdot P_{1\phi} \quad (7)$$

onde I_o representa a corrente média de saída e $P_{1\phi}$ a potência individual de cada fase (potência monofásica).

A corrente média de saída normalizada, referida ao primário do transformador, é definida pela equação (8).

$$\bar{I}_o = \frac{Z_0}{V_{in}} \cdot \left(I_o \cdot \frac{N_s}{N_p} \right) \quad (8)$$

Referindo-se a figura 6, é possível escrever:

$$\cos(\pi - \alpha_1) = \frac{V_{in} - E_{op}}{E} = \frac{E_{op}}{V_{in} - E_{op}} \quad (9)$$

$$\cos(\alpha_1) = \frac{-E_{op}}{V_{in} - E_{op}} = \cos(\omega_0 \cdot t_1) \quad (10)$$

Durante a etapa ressonante a corrente de entrada é definida por:

$$i_{in}(t) = \frac{V_{in} - E_{op}}{2 \cdot Z_0} \cdot \text{sen}(\omega_0 t) \quad (11)$$

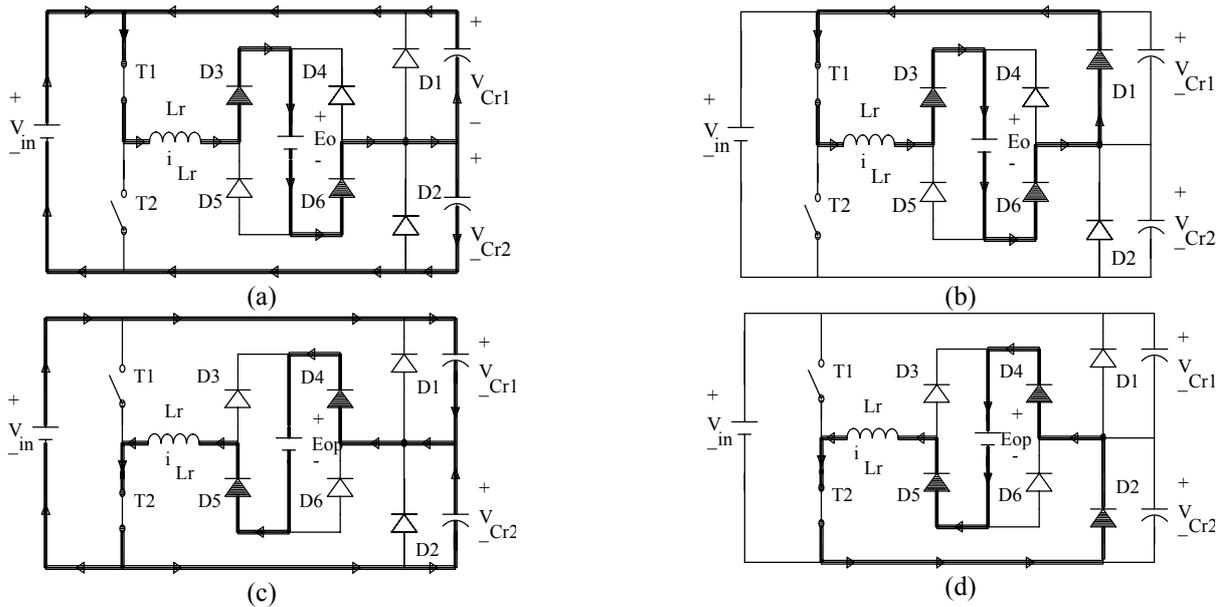


Figura 4: Etapas de Operação.

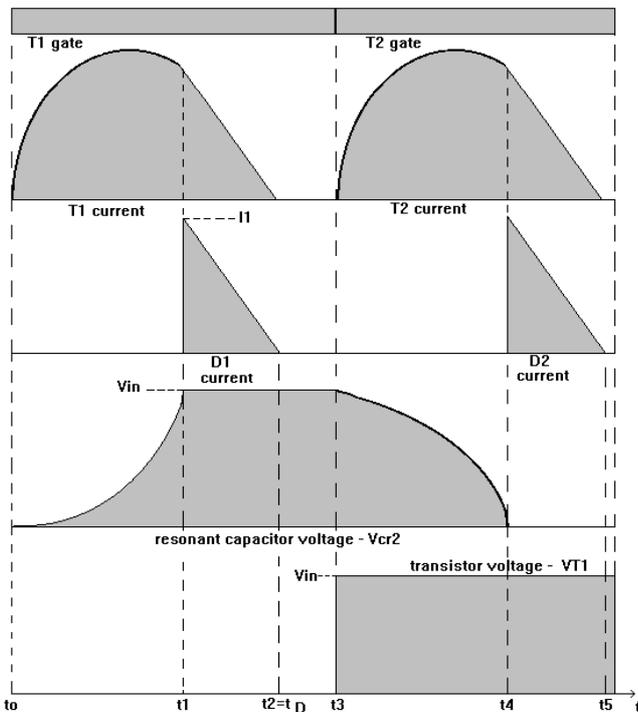


Figura 5: Principais Formas de Onda.

A corrente de entrada média instantânea é obtida por meio da seguinte expressão:

$$I_{in,med} = \frac{1}{T_s} \int_0^{T_s} i_{in}(t) dt = \frac{2}{T_s} \int_0^{t1} \frac{V_{in} - E_{op}}{2 \cdot Z_o} \cdot \text{sen}(\omega_o t) dt \quad (12)$$

onde: $V_{in} = V_m \cdot \text{sen}(\omega t)$. Levando (10) em (12), obtém-se:

$$I_{in,med} = \frac{f_s}{2\pi \cdot f_o} \cdot \frac{V_m}{Z_o} \cdot \text{sen}\theta_1 \quad (13)$$

Através das equações (7), (8), (13) e algumas manipulações, encontra-se a equação (14), que representa a corrente média de saída normalizada.

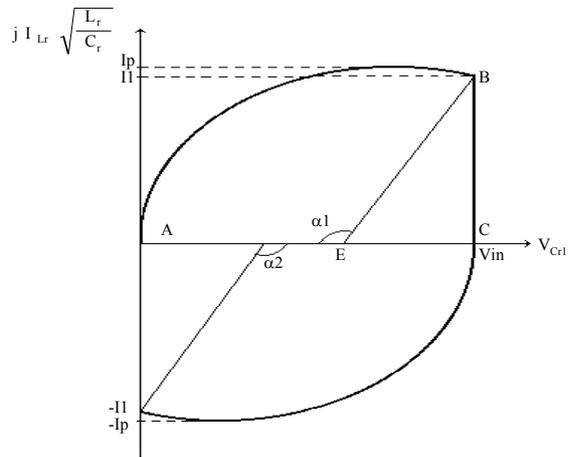


Figura 6: Plano de Fase.

$$\bar{I}_o = \frac{3 \cdot V_m \cdot f_s}{4\pi^2 \cdot f_o \cdot E_{op}} (\pi - 2 \text{sen}^{-1} q + 2q \cdot \sqrt{1 - q^2}) \quad (14)$$

A equação (14) mostra que a corrente de saída é função da frequência de operação e do ganho estático de tensão. Essa expressão prova que o controle do fluxo de energia é realizado através da modulação da frequência. A figura 7.a mostra as curvas características do sistema, relacionando diferentes frequências de chaveamento com o ganho estático. A linha tracejada representa o limite da condução contínua. Os pontos de operação abaixo dessa linha indicam perda da comutação ZCS.

Substituindo a equação (2) em (15), a equação (16) é obtida. Essa expressão mostra que o fator de potência (FP) da estrutura é unicamente função do ganho estático de tensão.

$$FP = 1 - \frac{2\theta_1 - \text{sen}(2\theta_1)}{\pi} \quad (15)$$

$$FP = 1 - \frac{2 \text{sen}^{-1} q - 2q \cdot \sqrt{1 - q^2}}{\pi} \quad (16)$$

Com a mesma relação entre frequências, para um pequeno valor de q , obtém-se um excelente fator de potência para o conversor; mas isso implica em um acréscimo na corrente que circula pelos componentes do circuito, comprometendo o rendimento do sistema, devido ao aumento das perdas por condução. De acordo com as características desejadas, há uma relação ótima entre o FP e q .

Especialmente nos casos de fontes de alimentação variáveis, a operação deve ser em condução descontínua, mesmo quando a tensão de entrada estiver no seu ponto de máximo (elevada energia armazenada no indutor ressonante). Logo, a relação entre a frequência de operação e a frequência de ressonância é determinada de forma a garantir que a comutação do transistor de potência se realize com corrente nula ($V_{in} = V_m$).

Durante o período de comutação há duas etapas ressonantes e duas etapas de roda-livre. A partir da figura 5 (desconsiderando o tempo morto e os pulsos de comando), a seguinte equação é obtida:

$$T_{s_{min}} = \frac{1}{f_{s_{min}}} = 2t_l + 2t_D = 2(t_l + t_D) \quad (17)$$

onde: $T_{s_{min}} \rightarrow$ período mínimo para o modo de condução descontínua. Sendo que:

$$t_D = t_2 - t_1 \quad e \quad T_o = \frac{1}{f_o} = \frac{2\pi}{\omega_o} \quad (18)$$

A equação (19) é obtida relacionando as frequências com o ganho estático.

$$\frac{f_{s_{max}}}{f_o} = \frac{\pi}{\cos^{-1}\left(\frac{q}{q-2}\right) + \frac{2}{q}\sqrt{1-q}} \quad (19)$$

O equacionamento para dimensionamento dos diodos e dos transistores é apresentado a seguir.

Corrente média normalizada nos diodos de grampeamento.

$$\overline{I_{GDmed}} = \frac{f_s}{4\pi^2 \cdot f_o \cdot q} \cdot (\pi - 2\text{sen}^{-1}q - 2q \cdot \sqrt{1-q^2}) \quad (20)$$

onde: $\overline{I_{GDmed}} = \overline{I_{GDmed}} \cdot V_m / Z_o$, sendo $\overline{I_{GDmed}}$ a corrente média nos diodos de grampeamento.

Corrente média normalizada nos interruptores de potência.

$$\overline{I_{Tmed}} = \frac{f_s}{4\pi^2 \cdot f_o \cdot q} \cdot (\pi - 2\text{sen}^{-1}q + 2q\sqrt{1-q^2}) \quad (21)$$

Corrente eficaz normalizada nos diodos de grampeamento.

$$\overline{I_{GDef}}^2 = \frac{4f_s}{3f_o \cdot \pi^3 q} \cdot (1-q^2) \cdot (1-q)^{3/2} \quad (22)$$

Corrente eficaz normalizada nos interruptores de potência.

$$\overline{I_{Tef}}^2 = \frac{f_s(1-q^2)}{2\pi^3 f_o} \left[(2-q)^2 \cos^{-1} \frac{q}{q-2} + 2q\sqrt{1-q} + \frac{8}{3q}(1-q)^{3/2} \right] \quad (23)$$

)

Corrente de pico normalizada nos diodos de grampeamento.

$$\overline{I_{GDmax}} = \sqrt{1-q} \quad (24)$$

Corrente de pico normalizada nos interruptores de potência.

$$\overline{I_{Tmax}} = \frac{2-q}{2} \quad (25)$$

Corrente eficaz no indutor ressonante.

$$I_{Lr} = \sqrt{I_{T1ef}^2 + I_{T2ef}^2} = \sqrt{2} \cdot I_{Tef} \quad (26)$$

A corrente nos diodos do retificador de saída é a mesma no interruptor de potência, multiplicada pela relação de transformação (Np/Ns). Portanto, as expressões (21), (22) e (23) são válidas para projeto dos retificadores de saída.

C. Procedimento de Projeto e Exemplo

De acordo com as características de entrada e saída desejadas, depois de escolher a tecnologia dos interruptores de potência, é possível projetar e simular o carregador de baterias. O projeto em malha aberta do conversor pode ser resumido em cinco passos (com q fixado). Em nossa aplicação, o conversor é projetado para carregar quatro baterias conectadas em série, onde:

$I_o = 55A$	corrente média de saída;
$V_{ef} = 380V$	tensão eficaz de entrada;
$f_{s_{max}} = 30kHz$	frequência máxima de chaveamento;
$FP_{min} = 0,95$	fator de potência mínimo;
$E_o = 48V$	tensão de saída.

1º Passo: A partir do FP_{min} e da figura 7.c ou equação (15), obtém-se o ângulo inicial θ_l , que é o ângulo inicial para transferência de energia ($\theta_l = 0,5\text{rad} = 28,5^\circ$).

2º Passo: Com o FP_{min} determina-se q através de (16) ($q = 0,48$).

3º Passo: Com q é possível determinar a tensão primária do transformador e a relação de transformação ($Np/Ns = E_{op}/E_o$), ($E_{op} = 128,4$ e $Np/Ns = 2,7$).

4º Passo: Por meio da figura 7.b ou da equação (19), calcula-se a frequência de ressonância f_o ($f_o \cong 47kHz$).

5º Passo: Com f_o , f_s , FP_{min} , q , e as expressões (27) e (28) pode-se obter os parâmetros ressonantes:

$$I_o = \frac{3f_s \cdot FP_{min}}{2\pi \cdot q \cdot f_o \cdot \eta} \cdot \frac{V_m}{\sqrt{L_r / C_r}} \cdot \frac{N_p}{N_s} \quad (27)$$

$$f_o = \frac{1}{2\pi \sqrt{L_r \cdot C_r}} \quad (28)$$

Para um rendimento $\eta = 0,95$, tem-se:

$Z_o = 16,75\Omega$; $L_r = 56,8\mu H$; $C_r = C_{r1} + C_{r2} = 243nF$.

IV. RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

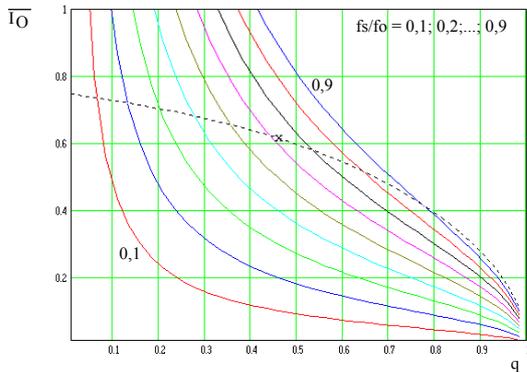
Os estudos via simulação tiveram como finalidade verificar a possibilidade de implementação do sistema proposto, principalmente no que se refere à ondulação de corrente na saída e à comutação ZCS nos interruptores de potência.

A estrutura completa de potência, simulada e implementada, é apresentada na figura 8 e as especificações dos componentes são dadas abaixo, onde:

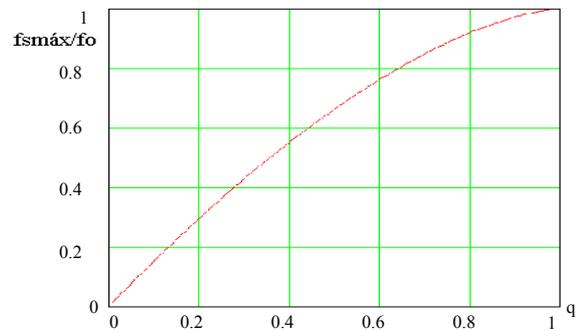
$L_{f1} = L_{f2} = L_{f3}$	470 μH ;
$L_{f11} = L_{f22} = L_{f33}$	135 μH ;
$C_{f1} = C_{f2} = C_{f3}$	1,0 μF /250V/polipropileno;
$C_{f1} \cdot C_{f2} \cdot C_{f3}$	0,27 μF /400V/polipropileno;
$L_{r1} = L_{r2} = L_{r3}$	46,4 μH ;

$Cr_1 = Cr_2 = Cr_3$
 $Cr_4 = Cr_5 = Cr_6 = 119\mu\text{F}/400\text{V}/\text{polipropileno};$
 $Co = 4500\mu\text{F}/100\text{V}/\text{eletrolítico};$
 $Lo = 1,2\mu\text{H};$
 $Eo = 4 \times 12\text{V}$ baterias;
 $Rp = 150\text{k}\Omega;$
 $Rc = 2,7\Omega;$

$DG1-DG6$ SKR e SKF 2F15/08, Semikron;
 $DP1-DP6$ SKR 2F17/08, Semikron;
 $D1-D4 = D5-D8 =$ Ponte retificadora SKBB500C3200/
 $D9-D12$ 2200, Semikron;
 $T1-T6$ IGBT SKM40GB101D, Semikron.



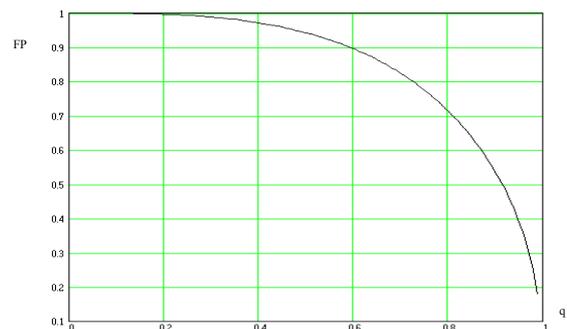
(a) Característica de saída



b) Relação $f_{s_{max}}/f_o$ vs q



(c) Relação entre FP e θ_1 .



(d) Relação entre FP e q .

Figura 7: Curvas para projeto.

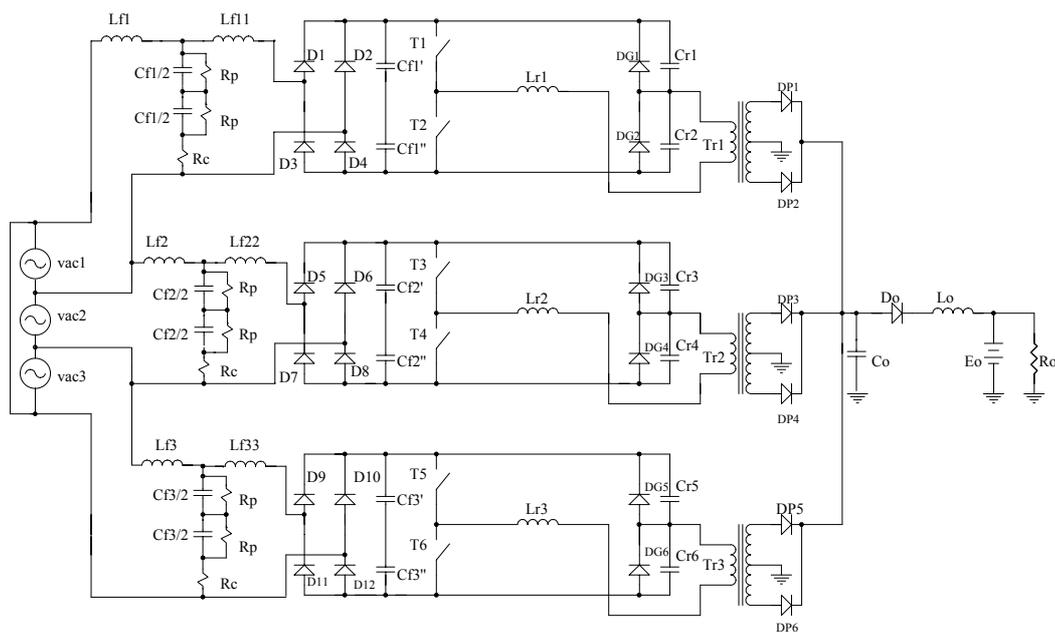


Figura 8: Estrutura de Potência implementada

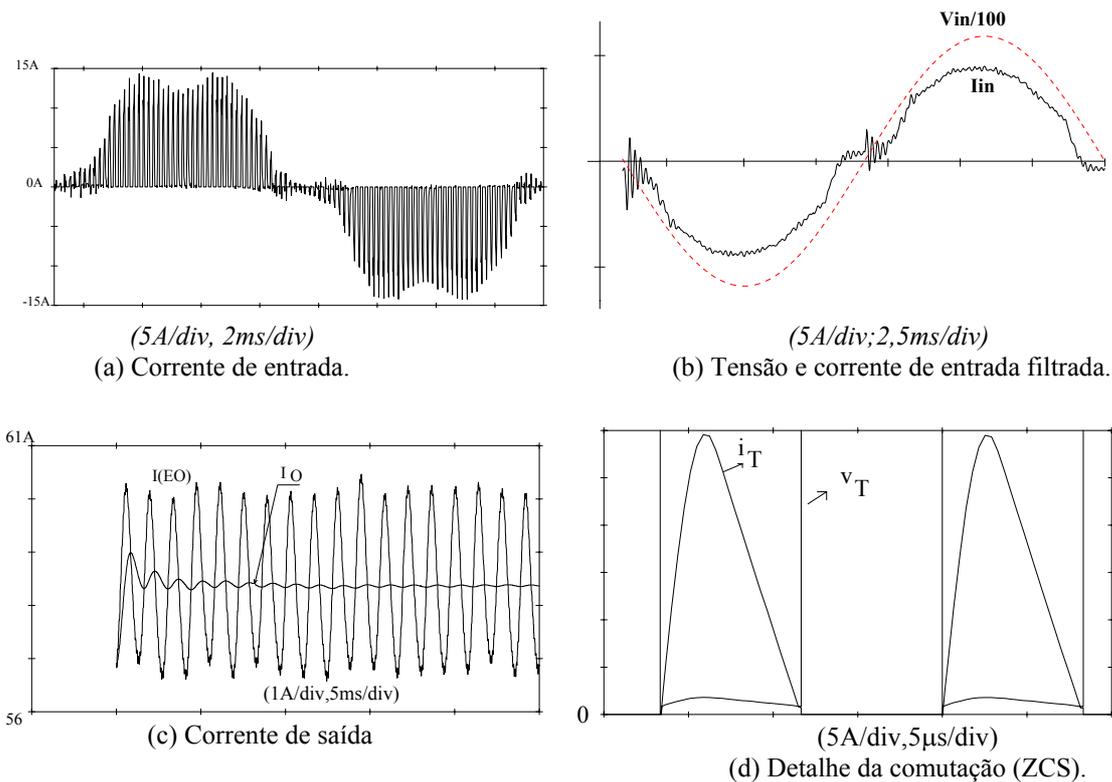


Figura 9: (a,b,c,d) Resultados de simulação.

A figura 9 mostra as principais formas de onda obtidas por simulação usando o programa PROSCES [8], a qual apresenta como resultados: $P_o \approx 2,8\text{kW}$; $FP \approx 0,98$ e $\theta_l = 0,52\text{rad}$.

As figuras 9.a e 9.b mostram a corrente de entrada na fase 1, sem e com filtro, respectivamente. A frequência dessa corrente é de 60Hz, mas é modulada com o dobro da frequência de chaveamento.

A figura 9.c apresenta o valor médio e a ondulação de corrente na saída do conversor, cujos valores são respectivamente 58A e 3A.

O detalhe da comutação está representado na figura 9.d. Verifica-se que os interruptores principais comutam em ZCS.

Na figura 10.a tem-se a tensão de linha e a corrente filtrada de linha. É possível observar que a tensão da rede disponível no laboratório tem uma distorção harmônica e a corrente segue essa distorção. A Tabela I apresenta os valores medidos a partir de um protótipo de laboratório. Os resultados obtidos são coerentes com os da simulação.

A figura 10.b mostra a tensão e a corrente no circuito ressonante. Verifica-se que a corrente magnetizante é muito pequena, os valores medidos estão em torno de 600mA.

A corrente de saída é apresentada na figura 10.c. Uma ondulação em 360Hz ($\Delta I \approx 2,5\text{A}$) é observada devido principalmente ao fato que a corrente de saída é a soma de três correntes defasadas de 120° .

A característica de comutação ZVS fica comprovada na figura 10.d, onde são apresentadas a tensão e a corrente no IGBT para a máxima potência de saída.

A curva de rendimento ($\eta \times fs$) para q fixo, é apresentada na figura 11. As perdas mais relevantes ocorreram no retificador de saída e nos elementos magnéticos.

V. CONCLUSÕES

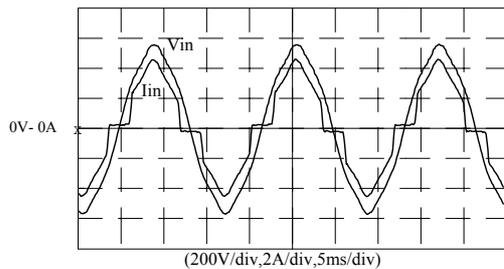
O conversor estudado neste artigo comporta-se de acordo com a análise matemática previamente desenvolvida. Ele apresenta alto fator de potência sem a necessidade de circuitos intermediários, o que o torna um sistema muito simples de ser implementado. O circuito de comando gera pulsos complementares que acionam cada um dos interruptores de cada fase instantaneamente, mantendo a isolamento.

Os conversores em cada fase são independentes, facilitando o projeto do sistema e aumentando a confiabilidade global, tendo em vista que a perda de um dos módulos de uma fase, mantém o sistema operando, embora com 30% a menos de potência. Além disso, devido a configuração utilizada é possível o uso de módulos padronizados. A frequência de operação determina a potência de saída.

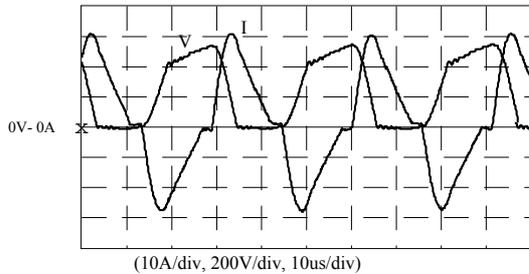
Como características negativas tem-se: fluxo de potência pulsante e elevado número de componentes.

A característica de fonte de corrente na saída oferece facilmente a possibilidade de associação em paralelo. A entrada do tipo trifásica permite diminuir drasticamente a ondulação da corrente de saída.

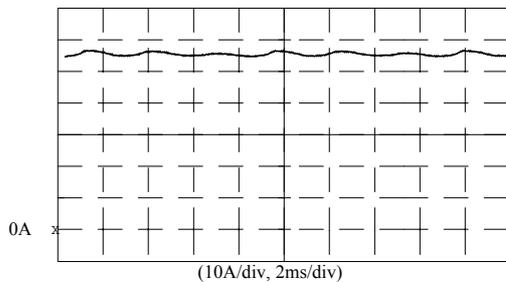
Finalmente os autores consideram a estrutura proposta particularmente interessante para aplicações industriais.



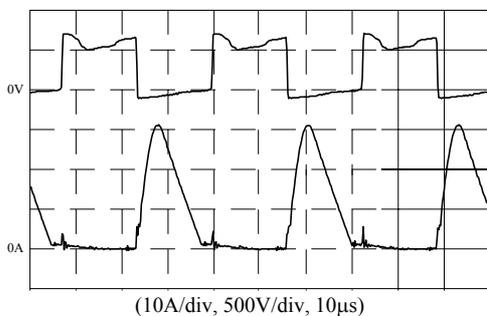
(a) Tensão de entrada e corrente de entrada filtrada.



(b) Tensão e corrente no circuito ressonante.



(c) Corrente de saída.



(d) Tensão e corrente no IGBT.

Figura 10. Resultados Experimentais.

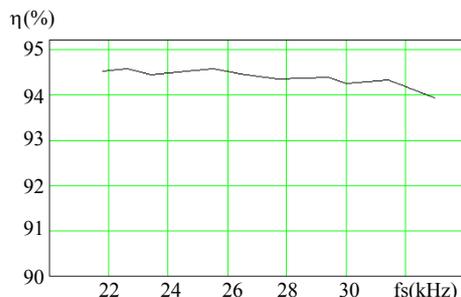


Fig.11 – Curva de rendimento.

TABELA I: Valores medidos para condições nominais.

fase	I_{RMS}	DHT I(%)	DHT V(%)	FP
R	4.01	23.6	3.4	0.973
S	4.02	22.35	3.4	0.976
T	4.06	20.76	3.3	0.980

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] D. Gauger *et al.*, "A Three-phase off-line Switching Power Supply With Unity Power Factor and Low TIF", *IEEE INTELEC'86 Conf. Rec.*, pp. 115-121, Oct. 1986.
- [2] T. Latos, D. Basack, "A High Efficiency 3kW Switching Battery Charger", *IEEE PESC'82 Conf. Rec.*, pp. 341-349, June 1982.
- [3] B. Ignazia, "Unity Power Factor Battery Charger by LVI", in *Power Quality Proc.*, pp. 42-47, Nov. 1990.
- [4] D. Simonetti, J. Sebastian, J. Uceda, "Single-Switch Three Phase Power Pre-Regulator Under Variable Switching Frequency and Discontinuous Input Current", *IEEE PESC'93 Conf. Rec.*, pp. 657-661, June 1993.
- [5] P. Ziogas, S. Manias, A. Prasad, "An Active Power Factor Correction Technique For Three Phase Diode Rectifiers", *IEEE PESC'89 Conf. Rec.*, pp. 58-65, June 1989.
- [6] E. Ismail, R. W. Erickson, "A Single Transistor Three Phase Resonant Switch For High Quality Rectification", *IEEE PESC'92 Conf. Rec.*, pp. 1341-1351, June 1992.
- [7] J. Pforr, L. Hobson, "A Novel Power Factor Corrected Single Ended Resonant Converter With Three Phase Supply", *IEEE PESC'92 Conf. Rec.*, pp. 1369-1375, June 1992.
- [8] D. C. Martins, *et al.*, "Performance Study of PROCES/MACHINE", *IEE-PEVD'96 Conf. Rec.*, pp. 502-507, September 1996.

DADOS BIOGRÁFICOS

Denizar Cruz Martins, nasceu em São Paulo, SP, em 24 de Abril de 1955. Formou-se em Engenharia Elétrica e obteve o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis – SC em 1978 e 1981, respectivamente. Concluiu o Doutorado no INPT, Toulouse – França, em 1986. Atualmente é professor titular do Depto. de Engenharia Elétrica da Universidade Federal de Santa Catarina, Florianópolis – SC. O Prof. Denizar já publicou mais de 100 trabalhos científicos entre revistas e congressos nacionais e internacionais, realizou mais de 30 consultorias técnicas e obteve 02 patentes de invenção e um registro de software. Sua área de atuação compreende: desenvolvimento de conversores para tratamento de energia solar com alta qualidade de energia, conversores de alta frequência e simulação de conversor estáticos. É membro da SOBRAEP, da SBA e do IEEE.

Elias Sebastião de Andrade, nasceu em Florianópolis, SC, em 23 de agosto de 1965. Formou-se em Engenharia Elétrica e obteve o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis – SC em 1992 e 1994, respectivamente. Sua área de interesse concentra-se em conversores de alta frequência e alto fator de potência.

MODELAGEM E CONTROLE DISCRETO PARA O RETIFICADOR PFC BOOST TRÊS NÍVEIS

J.E. Baggio, H.L. Hey, H.A. Gründling, H. Pinheiro, J.R. Pinheiro

Universidade Federal de Santa Maria

CT / NUPEDEE / GEPOC

97105-900 – Santa Maria – RS – Brasil

E-mail: josebaggio@ieee.org, renes@ctlab.ufsm.br

Resumo – Este artigo apresenta um controlador discreto para o retificador boost três níveis com fator de potência corrigido. Modelos discretos lineares de primeira ordem para ambas as malhas de tensão e corrente são apresentadas. Controladores servos com realimentação de estados são utilizados, sendo projetados utilizando-se um regulador linear quadrático discreto. Além disto, um observador de estados preditivo é utilizado para compensar o tempo de atraso associado à implementação em processadores digitais. É apresentada uma descrição detalhada da lógica de comando que garante a divisão simétrica de tensão do barramento cc. Resultados experimentais de um retificador de 1.5kW são apresentados para validar a análise desenvolvida bem como para demonstrar a boa performance do sistema.

Abstract – This paper presents a discrete control for the three-level boost power factor corrected rectifier. Linearized discrete models for both the current loop and for the voltage loop are shown. Then, servo controllers with state feedback are developed and designed using the discrete linear quadratic regulator approach. In addition, a predictive state observer is employed to compensate the delay time associated to the discrete implementation. Furthermore, a detailed description of the logic command that assures half dc bus sharing is described. Finally, experimental results from a 1.5kW TLB-PFC rectifier are presented to validate the analysis carried out as well as to demonstrate the good performance of the system.

I. INTRODUÇÃO

O retificador boost três níveis com fator de potência corrigido (*Three-level boost power factor corrected TLB-PFC*) está sendo cada vez mais utilizado devido às seguintes vantagens: (i) os interruptores e diodos são projetados para suportar somente a metade da tensão do barramento cc; (ii) o volume do indutor do TLB é um quarto do volume do indutor do boost convencional [1,2]; (iii) é possível a regulação da tensão do ponto central do barramento cc [2]. Como resultado, este conversor é atrativo para aplicações de alta tensão no barramento cc e alta potência.

Circuitos integrados dedicados para correção de fator de potência têm sido amplamente utilizados pela indústria. Nestes casos, os controladores são geralmente projetados baseados em modelos de pequenos sinais e/ou modelos médios no domínio de tempo contínuo [2,3,4,5]. Por outro lado, controladores digitais estão se tornando cada vez mais baratos, tornando-os fortes candidatos para a substituição dos circuitos analógicos convencionais [6,7,8]. Isto ocorre

principalmente devido à facilidade da implementação de técnicas de controle avançadas em controladores digitais sem que a complexidade dos circuitos do controlador aumente.

Existem basicamente dois modos de se projetar um controlador digital: (i) o controlador é projetado baseado em um modelo contínuo e posteriormente é discretizado para a implementação digital [2,13,14]; (ii) o modelo do sistema no domínio de tempo contínuo é discretizado e então um controlador digital é projetado no domínio de tempo discreto. O primeiro método geralmente é preferível uma vez que as técnicas de controle no domínio de tempo contínuo são bem conhecidas. Entretanto, a performance do sistema depende do método adotado para a discretização do controlador [8,9,14]. Por outro lado, o segundo método é preferível quando um modelo discreto acurado da planta é obtido, permitindo-se utilizar todas as vantagens da capacidade de processamento dos controladores digitais.

Neste artigo, o segundo método foi adotado, e procedimentos sistemáticos de projeto são apresentados utilizando representação por variáveis de estado para a malha interna de corrente e para a malha externa de tensão.

A lógica de chaveamento que garante a divisão simétrica de tensão do barramento cc para o TLB-PFC proposta em [2] é utilizada. Desta forma, um modelo não linear considerando a lógica de chaveamento utilizada é obtido. O modelo não linear é então linearizado, resultando em um modelo discreto simples de primeira ordem linear invariante no tempo (LTI), que representa o comportamento discreto da corrente no indutor do retificador TLB-PFC. Da mesma forma, um modelo discreto de primeira ordem invariante no tempo é utilizado para o projeto do controlador da tensão do barramento cc.

Controladores servos com realimentação de estados foi escolhido para ambas a malha interna de corrente e a malha externa de tensão. Para se obter um procedimento sistemático para o projeto dos controladores, o regulador linear quadrático discreto (*discrete linear quadratic regulator - DLQR*) para regime permanente foi escolhido como método para obtenção dos ganhos dos controladores. Além disto, um observador de estados preditivo é empregado para compensar o tempo de atraso associado à implementação discreta da lei de controle da malha interna de corrente.

Resultados experimentais de um protótipo de 1,5kW são apresentados para demonstrar a performance do sistema proposto, bem como o comportamento do retificador TLB-PFC com o controlador discreto proposto.

II. MODELAGEM DO CONVERSOR

A Fig. 1 apresenta o diagrama de blocos do controlador digital para o retificador TLB-PFC. A estrutura adotada para o controlador segue a bem conhecida e utilizada técnica onde a malha externa de tensão opera em baixa frequência e regula a tensão do barramento cc, enquanto que uma malha rápida interna de corrente regula a corrente no indutor boost, com alto fator de potência [2,3,4,6,11]. A corrente de referência i_{ref} para a malha interna de corrente é obtida multiplicando-se a tensão de entrada retificada medida pela saída do controlador do barramento cc (u_{cc}). O sinal de controle u gerado pela malha de corrente é utilizado na lógica de comando que define qual interruptor entra em condução ou é bloqueado.

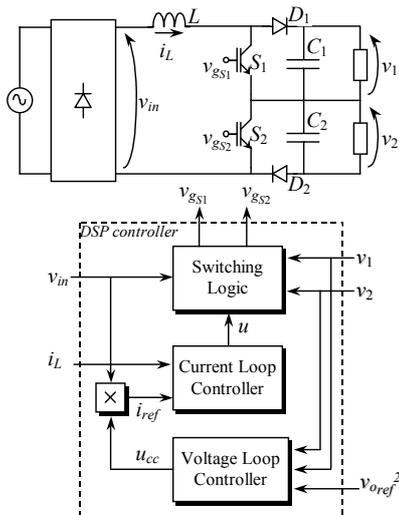


Fig. 1 – Retificador TLB-PFC com controle digital.

Nesta seção são apresentados os modelos discretos propostos para o projeto dos controladores.

2.1 Lógica de Chaveamento para a Divisão Simétrica da Tensão do Barramento cc

O retificador TLB-PFC operando em modo de condução contínua (CCM) pode apresentar quatro etapas de operação, conforme apresentado na Fig. 2.

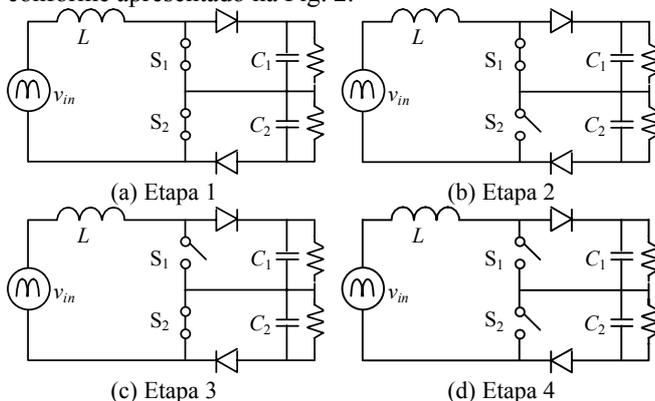


Fig. 2 – Etapas de operação do retificador TLB-PFC em CCM.

A lógica de chaveamento que permite a divisão simétrica de tensão do barramento cc mesmo para cargas desbalanceadas foi apresentada em [2]. Esta técnica utiliza a energia armazenada no indutor para equalizar a tensão nos capacitores C_1 e C_2 . Desta forma, nos estágios 2 e 3, o

interruptor que está em condução ou está bloqueado é definido pela comparação entre as tensões nos capacitores. O uso desta técnica é indicado quando cargas tais como conversores dc-dc multiníveis consomem potência desbalanceada das duas tensões de saída do retificador TLB-PFC. A lógica de chaveamento utilizada é apresentada na Tabela 1.

TABELA I
Lógica de Chaveamento

	Região 1 ($v_{in} < v_1$)		Região 2 ($v_{in} > v_1$)	
	$v_1 < v_2$	$v_1 > v_2$	$v_1 < v_2$	$v_1 > v_2$
S_1	PWM	ON	OFF	PWM
S_2	ON	PWM	PWM	OFF

A lógica de comando apresentada na TABELA I, foi implementada por software, e os sinais de comando (*PWM*, *ON*, *OFF*) foram obtidos utilizando os geradores PWM internos do DSP. Para a geração do sinal *ON*, carrega-se o comparador interno do gerador PWM com o valor máximo, enquanto que para a geração do sinal *OFF*, carrega-se o comparador com zero. O sinal *PWM* é obtido carregando o comparador interno do gerador PWM com o valor obtido pela lei de controle, u .

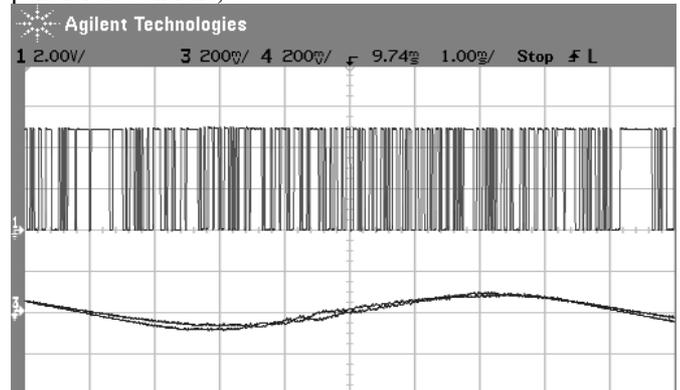


Fig. 3 – Divisão simétrica de tensão do barramento cc.

A Fig. 3 demonstra a divisão simétrica de tensão no barramento cc, onde CH.1 indica se v_1 é maior do que v_2 (nível alto) ou vice-versa. CH.3 e 4 apresentam as tensões de saída v_1 e v_2 , com 5V/div.

2.2 Modelo Discreto LTI para a Malha de Corrente

Uma malha de corrente com larga banda passante deve ser projetada para fazer a corrente no indutor seguir a corrente referência, em fase com a tensão de entrada retificada v_{in} tão próxima quanto possível. Para este propósito, um modelo para a corrente no indutor deve ser obtido. Um modelo discreto para grandes sinais pode ser facilmente obtido fazendo-se as seguintes considerações:

- A frequência de comutação é muito maior do que a frequência da rede, de forma que a tensão de entrada pode ser considerada constante entre dois períodos de comutação;
- A lógica de chaveamento que garante a divisão simétrica de tensão do barramento cc está operando corretamente, de forma que $v_1 = v_2$;
- As duas tensões de saída são constantes dentro de dois períodos de comutação;
- O conversor opera em CCM.

Desta forma, os possíveis modos de operação do retificador TLB-PFC podem ser representados pela Fig. 4.

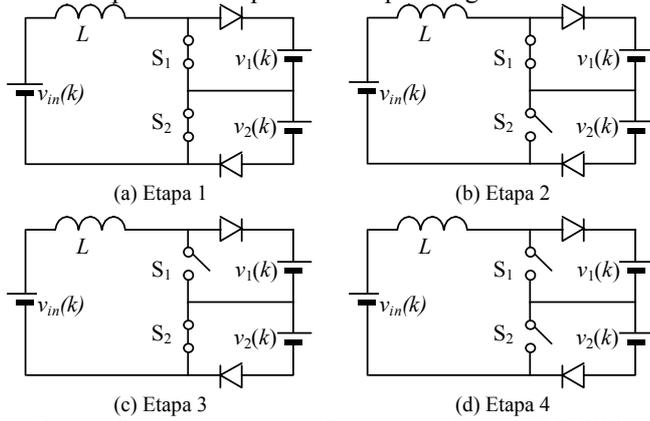


Fig. 4 – Representação simplificada do retificador TLB-PFC.

Devido ao uso da lógica de chaveamento para a divisão simétrica de tensão, pode-se concluir que na região 1 ocorrem as etapas 1, 2 e 3, enquanto que na região 2 ocorrem as etapas 2, 3 e 4. Além disso, sendo que v_1 e v_2 são iguais, o comportamento da corrente no indutor é o mesmo durante as etapas 2 e 3. Desta forma, resolvendo-se a equação diferencial que descreve o comportamento da corrente no indutor em CCM desde o início até o fim de um período de amostragem (comutação), o modelo discreto linear variante no tempo pode ser obtido (1).

$$i_L(k+1) = \begin{cases} i_L(k) + \frac{v_{in}(k)T}{L} - \frac{v_o(k)T}{2L} + \frac{v_o(k)u(k)T}{2L}, & \text{na região 1} \\ i_L(k) + \frac{v_{in}(k)T}{L} - \frac{v_o(k)T}{L} + \frac{v_o(k)u(k)T}{2L}, & \text{na região 2} \end{cases} \quad (1)$$

onde T é o período de amostragem, que neste caso é o mesmo período de comutação.

Definindo-se $u_L(k)$ conforme (2)

$$u_L(k) = \begin{cases} \frac{v_{in}(k)T}{L} - \frac{v_o(k)T}{2L} + \frac{v_o(k)u(k)T}{2L}, & \text{na região 1} \\ \frac{v_{in}(k)T}{L} - \frac{v_o(k)T}{L} + \frac{v_o(k)u(k)T}{2L}, & \text{na região 2} \end{cases} \quad (2)$$

o seguinte modelo LTI é obtido:

$$i_L(k+1) = i_L(k) + u_L(k). \quad (3)$$

Como (3) representa um modelo discreto LTI, um controlador discreto linear pode ser projetado para produzir $u_L(k)$. Deve-se salientar que $u_L(k)$ deve ser convertido para $u(k)$ a cada período de amostragem. Isto é realizado utilizando-se (4).

$$u(k) = \begin{cases} \left\lceil \frac{u_L(k)L - v_{in}(k)T}{v_o(k)T} \right\rceil + 1, & \text{na região 1} \\ \left\lceil \frac{u_L(k)L - v_{in}(k)T}{v_o(k)T} \right\rceil + 1, & \text{na região 2} \end{cases} \quad (4)$$

2.3 Modelo Discreto LTI para a Malha de Tensão

O uso de modelos linearizados para sistemas não lineares é geralmente adotado para o projeto de controladores para a malha de tensão de conversores boost [6,11,12]. Para reduzir os problemas com modelos médios, um modelo linear de grandes sinais para o conversor boost com malha interna de corrente foi apresentado em [11], onde o quadrado da tensão de saída é utilizado como variável de estado. Este método

possibilita a obtenção de um modelo simples de primeira ordem.

Para se obter um modelo discreto para o projeto do controlador da malha externa de tensão, assume-se que a corrente no indutor segue a referência com erro nulo. Pelo princípio da conservação de energia, pode-se obter (5).

$$e_{in} = e_L + e_{C_{cc}} + e_{out} \quad (5)$$

onde e_{in} , e_L , $e_{C_{cc}}$ e e_{out} são respectivamente a energia fornecida pela rede, a energia armazenada no indutor, a energia armazenada nos capacitores e a energia entregue à carga.

Derivando-se ambos os lados de (5), obtém-se:

$$\frac{d(e_{in})}{dt} = \frac{d(e_L)}{dt} + \frac{d(e_{C_{cc}})}{dt} + \frac{d(e_{out})}{dt} \quad (6)$$

ou

$$p_{in} = \frac{d}{dt} e_L + \frac{d}{dt} e_{C_{cc}} + p_{out} \quad (7)$$

onde p_{in} e p_{out} são respectivamente a potência de entrada e a potência de saída do TLB-PFC.

Substituindo-se em (7) as equações da energia armazenada no indutor e a energia armazenada nos capacitores, obtém-se:

$$p_{in} = \frac{1}{2} L \frac{d}{dt} i_L^2 + \frac{1}{2} C \frac{d}{dt} v_o^2 + p_{out} \quad (8)$$

onde

$$C = \frac{C_1 + C_2}{2} \quad (9)$$

Eq. (8) pode ser simplificada, considerando-se que a energia armazenada no indutor é muito menor do que a energia armazenada nos capacitores de saída [16], portanto,

$$v_{in} i_L = \frac{1}{2} C \frac{d}{dt} v_o^2 + p_{out} \quad (10)$$

Uma vez que a corrente no indutor está em fase com a tensão de entrada, (10) pode ser reescrita conforme (11).

$$v_{in} (u_{cc} \cdot v_{in}) = \frac{1}{2} C \frac{d}{dt} v_o^2 + p_{out} \quad (11)$$

$$\frac{1}{2} C \frac{d}{dt} v_o^2 = v_{in} (u_{cc} \cdot v_{in}) - p_{out} \quad (12)$$

onde u_{cc} é a ação de controle da malha de tensão, sendo considerada constante dentro de meio período da tensão de entrada.

Integrando-se ambos os lados de (12) do início até o fim de meio ciclo da tensão de entrada, obtém-se:

$$\int_{k_v T_{cc}}^{(k_v+1)T_{cc}} \frac{1}{2} C_{cc} \frac{d}{dt} x = \int_{k_v T_{cc}}^{(k_v+1)T_{cc}} u_{cc} v_p^2 \sin^2(\omega t) dt - \int_{k_v T_{cc}}^{(k_v+1)T_{cc}} p_{out} dt \quad (13)$$

onde $x = v_o^2(t)$ e $v_{in}^2 = v_p^2 \sin^2(\omega t)$.

A solução de (13) é:

$$x(k_v+1) = x(k_v) + \frac{u_{cc}(k_v) v_p^2 T_{cc}}{C_{cc}} - \frac{2P(k_v)T_{cc}}{C_{cc}} \quad (14)$$

ou

$$x(k_v+1) = G_{cc} x(k_v) + H_{cc} u_{cc}(k_v) + F_{cc} P(k_v) \quad (15)$$

onde

$$G_{cc} = 1 \quad H_{cc} = \frac{T_{cc} v_p^2}{C_{cc}} \quad F_{cc} = -\frac{2T_{cc}}{C_{cc}} \quad (16)$$

Devido ao uso de v_o^2 como variável de estado ao invés de v_o , a representação por variáveis de estado (15) é LTI, onde $u_{cc}(k_v)$ é a ação de controle e $P(k_v)$ é um distúrbio proporcional ao valor médio da potência de saída em meio-ciclo da tensão de entrada.

III. PROJETO DOS CONTROLADORES

Nesta seção a malha interna de corrente e a malha externa de tensão serão projetadas de uma forma sistemática usando-se o controlador ótimo linear quadrático discreto em regime permanente [15].

3.1 Controlador da Malha Interna de Corrente

Um sistema servo com realimentação de estados e controle integral é adotado para controlar a corrente no indutor. O diagrama do controlador é apresentado na Fig. 5. O modelo da planta foi obtido na Seção 2.2 e é representado por (3).

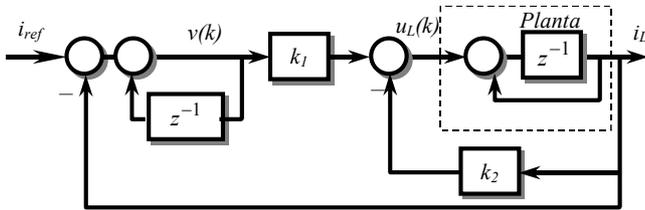


Fig. 5 – Sistema servo com realimentação de estados e ação integral.

As principais equações do sistema são:

$$i_L(k+1) = i_L(k) + u_L(k) \quad (5)$$

$$u_L(k) = k_1 v(k) + k_2 i_L(k) \quad (6)$$

$$v(k) = v(k-1) + i_{ref}(k) - i_L(k) \quad (19)$$

Para a obtenção dos ganhos de realimentação, o projeto do servo de corrente é transformado em um problema de projeto de realimentação de estados. Para este propósito, as variáveis erro de estados são definidas:

$$i_{Le}(k) = i_L(k) - i_L(\infty) \quad (7)$$

$$u_{Le}(k) = u_L(k) - u_L(\infty) \quad (8)$$

Como resultado, a representação por erro de espaço de estados torna-se:

$$\begin{bmatrix} i_{Le}(k+1) \\ u_{Le}(k+1) \end{bmatrix} = \begin{bmatrix} 1 & 1 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Le}(k) \\ u_{Le}(k) \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} w(k) \quad (21)$$

onde

$$w(k) = \begin{bmatrix} -k_1 & 1-k_2 \end{bmatrix} \begin{bmatrix} i_{Le}(k) \\ u_{Le}(k) \end{bmatrix} \quad (22)$$

Os ganhos de realimentação k_1 e k_2 foram obtidos utilizando-se a técnica de controle ótimo Regulador Quadrático Linear Digital (*digital linear quadratic regulator* - DLQR) para garantir a performance desejada em malha fechada [15]. Os ganhos do controlador são selecionados de modo a minimizar a função custo discreta (23). O sistema é assintoticamente estável se a matriz \mathbf{Q}_i é definida positiva ou Hermitiana semidefinida positiva e R_i é positivo. Mesmo que o sistema resultante seja sempre estável, a performance do sistema depende dos valores especificados em \mathbf{Q}_i e R_i .

Uma vez que \mathbf{Q}_i e R_i são definidos, os ganhos k_1 e k_2 podem ser obtidos a partir da solução recursiva da equação de Ricatti.

$$J = \frac{1}{2} \sum_{k=0}^{\infty} \mathbf{x}_i^T(k) \mathbf{Q}_i \mathbf{x}_i(k) + u_L(k) R_i u_L(k) \quad (23)$$

É importante salientar que o diagrama apresentado na Fig. 5 não considera o tempo requerido para se computar a lei de controle. Este tempo gasto com o processamento produz um atraso que torna-se significativo quando se opera em altas frequências de amostragem/comutação. Portanto, a compensação deste tempo de atraso é necessária para evitar degradação da performance do controlador [8,13,14]. Neste artigo, um observador de estados preditivo é utilizado para estimar a corrente no indutor no próximo período. A corrente estimada no próximo período $\hat{i}_L(k+1)$ é então utilizada para a obtenção da ação de controle $u_L(k+1)$ para o próximo período.

$$u_L(k+1) = v(k+1)k_1 + \hat{i}_L(k+1)k_2 \quad (8)$$

$$v(k+1) = v(k) + i_{ref}(k) - \hat{i}_L(k) \quad (9)$$

O diagrama de blocos do controlador com o observador de estados preditivo é apresentado na Fig. 6.

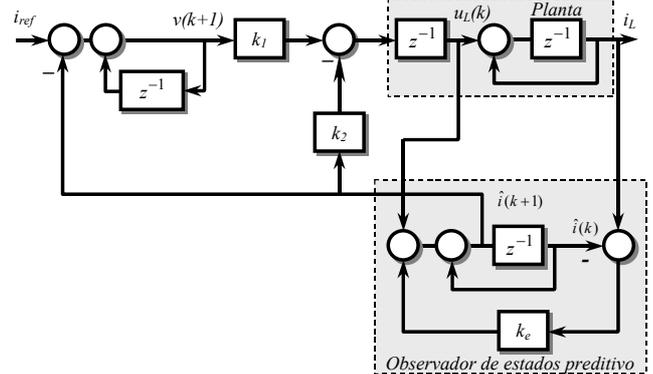


Fig. 6 – Sistema servo com realimentação de estado observado e controlador integral.

A corrente estimada $\hat{i}_L(k+1)$ é dada por:

$$\hat{i}_L(k+1) = (1 - k_e)\hat{i}_L(k) + u_L(k) + k_e i_L(k) \quad (10)$$

O observador de estados (10) é assintoticamente estável se $0 < k_e < 1$, onde o ganho do observador k_e pode ser definido de diferente formas: (i) utilizando-se a técnica do filtro de Kalman; (ii) fazendo-se $k_e=1$, resultando em um observador com resposta *dead-beat*; (iii) heurísticamente, selecionando-se um valor entre zero e um para rejeitar ruídos de aquisição presentes no sistema.

A Fig. 7 representa o diagrama de blocos completo do controlador da malha interna de corrente proposto para o retificador TLB-PFC.

Os ganhos de realimentação utilizados são $k_1=0.5$ e $k_2=1$, sendo que as matrizes \mathbf{Q}_i e R_i utilizadas foram $\mathbf{Q}_i = \text{diag}(1,1)$ e $R_i=1$. A Fig. 8 apresenta a resposta transiente simulada e experimental devido a um degrau na corrente de referência i_{ref} . A comparação dos resultados valida o projeto desenvolvido, onde pode-se perceber a conformidade dos resultados experimentais com o resultados obtidos através de um processo iterativo.

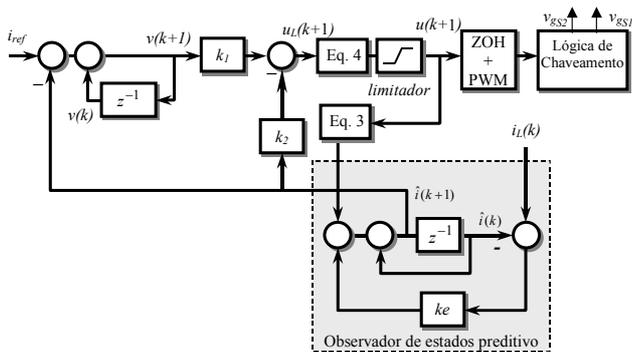
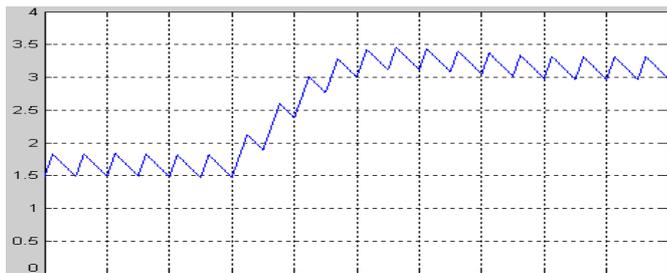
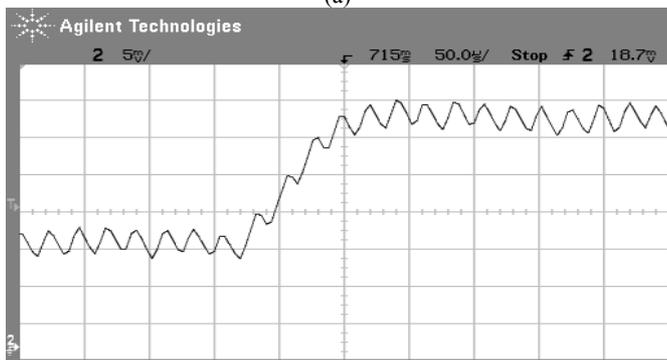


Fig. 7 – Controlador da malha interna de corrente proposto para o retificador TLB-PFC.



(a)



(b)

Fig. 8 – Corrente no indutor para um degrau em i_{ref} . (a) Resultado de simulação; (b) Resultado experimental (500mA/div.).

3.2 Controlador da Malha Externa de Tensão

De um modo similar à malha interna de corrente, um sistema servo com realimentação de estados e controle integral é utilizado para o controle da tensão do barramento cc. O diagrama de blocos do controlador é apresentado na Fig. 9, sendo que o modelo da planta foi obtido na Seção 3.1 e é representado por (15).

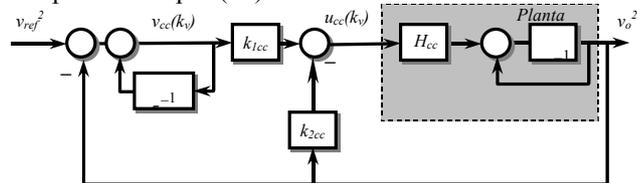


Fig. 9 – Sistema servo com realimentação de estados para a malha externa de tensão.

A partir da Fig. 9 a ação de controle $u_{cc}(k)$ e a variável erro integrado $v_{cc}(k)$ podem ser obtidos:

$$u_{cc}(k_v) = k_{1cc}v_{cc}(k_v) - k_{2cc}x(k_v) \quad (27)$$

$$v_{cc}(k_v) = v_{cc}(k_v - 1) + v_{ref}^2(k_v) - v_o^2(k_v) \quad (28)$$

Os ganhos de realimentação do controlador k_{1cc} e k_{2cc} podem ser obtidos utilizando-se os mesmos procedimentos descritos na Seção 3.1.

Embora controladores rápidos tenham sido apresentados [3,4,6,11], aqui a frequência de amostragem da malha externa de tensão é mantida em 120Hz para reduzir os esforços computacionais bem como para melhorar o fator de potência da entrada. Os ganhos de realimentação utilizados para a malha externa de tensão foram $k_{1cc}=1.7244$ e $k_{2cc}=4.2859$, os quais foram obtidos utilizando-se $Q=\text{diag}(10,2)$ e $R=0.01$.

IV. RESULTADOS EXPERIMENTAIS

Um protótipo de 1.5kVA operando a 45kHz foi implementado para demonstrar o comportamento dos controladores e modelos discretos propostos. As leis de controle foram implementadas em um único processador de sinais digitais (*digital signal processor* – DSP) de ponto fixo TMS320F241, o qual apresenta internamente 3 geradores de PWM. O período de amostragem para a malha de corrente é $T=22,22\mu\text{s}$ (45kHz), enquanto que a malha de tensão é efetuada somente uma vez a cada 8,33ms (120Hz), quando a tensão de entrada cruza por zero. Salienta-se que quando a malha de tensão é efetuada, a malha de corrente não é calculada. Este procedimento não produz distorção de corrente, uma vez que isto ocorre quando a tensão de entrada é próxima de zero e a variável de controle u praticamente não muda nesta região [2]. A Fig. 10 demonstra como as rotinas de controle são executadas dentro de um semi-ciclo de rede.

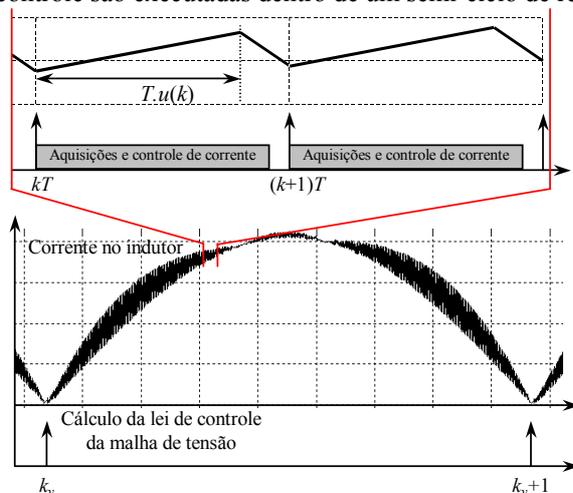


Fig. 10 – Distribuição das rotinas de controle em meio-ciclo de rede.

A relação de componentes utilizados no protótipo está apresentada na TABELA II.

TABELA II
Lista de Componentes e Dispositivos Utilizados no Protótipo.

Componente	Descrição
S_1, S_2	IGBTs 27N60C3DR
D_1, D_2	HFA25PB60
L	1mH
C_1, C_2	470 μF / 400V

A Fig. 11 apresenta a tensão de entrada e a corrente de entrada, para operação a plena carga. O fator de potência da corrente de entrada é muito próximo de um ($\text{PF}=0.995$).

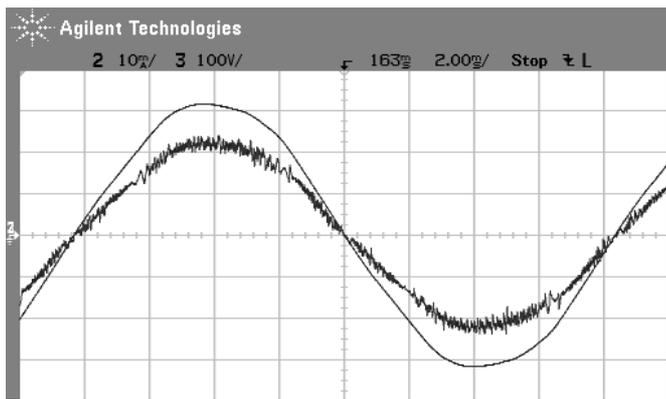
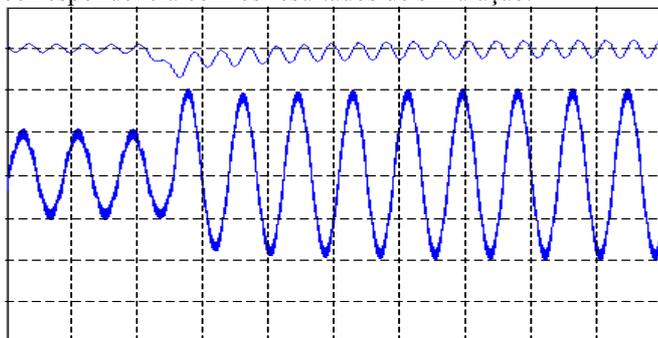
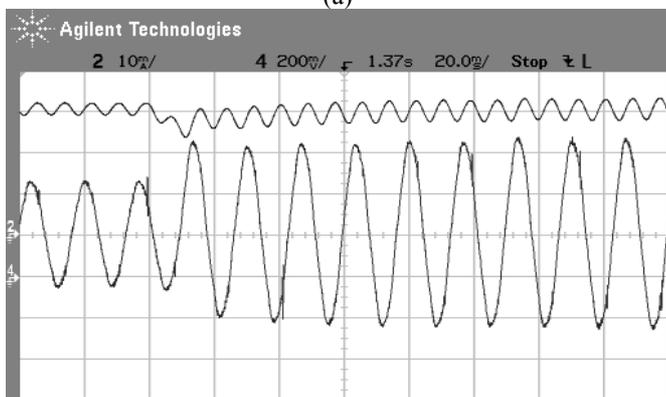


Fig. 11 - Resultados experimentais: corrente de entrada (5A/div) e tensão de entrada v_{in} (100V/div).

A Fig. 12 apresenta resultados de simulação e resultados experimentais para um degrau de 50% a 100% de plena carga. Pode-se verificar a boa performance do sistema para o transiente, bem como a validação da análise desenvolvida, uma vez que os resultados experimentais apresentam boa correspondência com os resultados de simulação.



(a)



(b)

Fig. 12 – Corrente no indutor e tensão de saída v_o para um degrau de carga de 50% a 100% no retificador TLB-PFC: (a) Resultados de simulação; (b) Resultados experimentais.

A Fig. 13 apresenta o conteúdo harmônico requerido pela norma (IEC61000-3-2) e o conteúdo harmônico para a corrente de entrada para as harmônicas pares e ímpares. Pode-se perceber que o conteúdo harmônico do retificador TLB é menor do que os limites especificados pelas normas para equipamentos da classe A. Harmônicas de 9ª ordem em diante não são apresentadas neste gráfico, já que elas são muito menores e estão em conformidade com as exigências da norma.

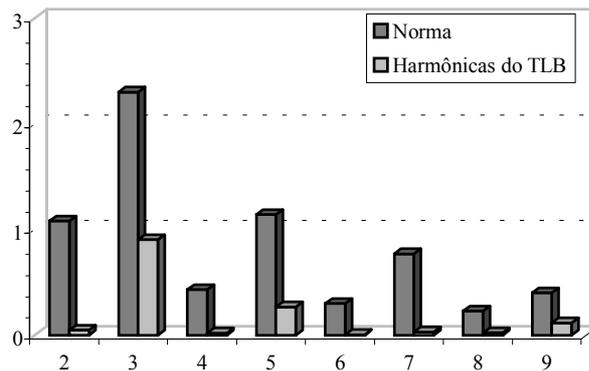


Fig. 13 – Limites de harmônicas da norma e harmônicas do TLB.

V. CONCLUSÃO

Este artigo apresenta controladores discretos para o retificador com fator de potência corrigido boost três níveis. Modelos discretos lineares para ambas as malhas de tensão e corrente são apresentadas e validadas experimentalmente.

Controladores servos com realimentação de estados são utilizados em ambas as malhas de tensão e de corrente. Um procedimento sistemático para selecionar os ganhos de realimentação é apresentado baseado no regulador quadrático linear discreto, o qual garante comportamento assintoticamente estável para a malha de corrente e a malha de tensão.

Para compensar atrasos devido à computação das leis de controle, um observador de estados preditivo foi projetado e implementado. Além de compensar o tempo de atraso, o observador fornece um grau adicional de liberdade para a filtragem dos ruídos presentes na amostragem da corrente no indutor.

Resultados experimentais de um protótipo de 1,5kW validam a análise desenvolvida, bem como demonstram a boa performance do retificador TLB-PFC com os controladores discretos propostos.

AGRADECIMENTOS

Os autores agradecem à *Thornton Inpec Eletrônica LTDA* e à *Epcos* capacitores pela doação de componentes utilizados neste trabalho, e à *CAPES* pelo apoio financeiro.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M.T. Zhang, Y.Jing, F.C. Lee, M.Jovanovic, "Single-phase three-level boost power factor correction converter", *Applied Power Electronics and Specialists Conference*, pp. 434-439, 1995.
- [2] J.R. Pinheiro, D.L.R. Vidor, H.A. Gründling, "Dual output three-level boost power factor correction converter with unbalanced loads", *Power Electronics Specialists Conference*, vol. 1, pp. 733-737, 1996.
- [3] G. Spiazzi, P. Mattavelli, L. Rossetto, "Power factor preregulators with improved dynamic response", *IEEE Trans. on Power Electronics*, vol. 12, no. 2, pp. 343-349, 1997.

- [4] M.O. Eissa, S.B. Leeb, G.C. Verghese, A.M. Stankovic, "Fast controller for a unity-power-factor PM rectifier", *IEEE Trans. on Power Electronics*, vol. 11, no. 1, pp. 1-6, 1996.
- [5] A.S. Martins, E.V. Kassick, I. Barbi, "Control strategy for the double-boost converter in continuous conduction mode applied to power factor correction", *Power Electronics Specialists Conference*, vol. 2, pp. 1066-1072, 1996.
- [6] A. Prodic, J. Chen, R.W. Erickson, D. Maksimovic, "Digitally controlled low-harmonic rectifier having fast dynamic responses", *Applied Power Electronics Conference*, vol. 1, pp. 476-482, 2002.
- [7] K. Mahabir, G. Verghese, J. Thottuvelil, A. Heyman, "Linear averaged and sampled data models for large signal control of high power factor ac-dc converters", *Power Electronics and Specialists Conference*, v.1, pp.372-381, 1990.
- [8] S. Bibian, H. Jin, "High performance predictive dead-beat digital controller for dc power supplies", *Applied Power Electronics Conference*, vol. 1, pp. 67-73, 2001.
- [9] C.T. Chen, "Analog & digital control system design", Saunders College Publishing, 1993.
- [10] OGATA K., "Discrete-Time Control Systems", Prentice-Hall, 1987;
- [11] A.H. Mitwalli, S.B. Leeb, G.C. Verghese, V.J. Thottuvelil, "An adaptive digital controller for a unity power factor converter", *IEEE Trans. on Power Electronics*, vol. 11, no. 2, pp. 374-382, 1996.
- [12] J.B. William, "Design of feedback loop in unity power factor ac to dc converter", *Power Electronics and Specialists Conference*, v. 2, pp. 959-967, 1989.
- [13] S. Bibian, H. Jin, "A simple prediction technique for the compensation of digital control time delay in dc switchmode power supplies", *Applied Power Electronics Conference*, vol. 2, pp. 994-1100, 1999.
- [14] C. Rech, H. Pinheiro, H.L. Hey, H.A. Gründling, J.R. Pinheiro "Improved modified OSAP controller for voltage source PWM inverters", *Congresso Brasileiro de Eletrônica de Potência*, pp. 329-334, 2001.
- [15] F. Botterón, H. Pinheiro, H.A. Gründling, J.R. Pinheiro, H.L. Hey, "Digital voltage and current controllers for three-phase PWM inverter for UPS applications", *IEEE Ind. Appl. annual Meeting*, v. 4, pp. 2667-2674, 2001.
- [16] M.O. Eissa, S.B. Leeb, G.C. Verghese, A.M. Stankovic, "Fast controller for a unity-power-factor PWM rectifier", *IEEE Trans. on Power Electronics*, vol.11, no.1, January 1996.

DADOS BIOGRÁFICOS

Hélio Leães Hey, nasceu em Santa Maria - Rio Grande do Sul, em 29 de Julho de 1961. Formou-se em Eng. Elétrica pela Universidade Católica de Pelotas, Pelotas - RS, em 1985. Obteve os títulos de Mestre e Doutor em Eng. Elétrica pela Universidade Federal de Santa Catarina, Florianópolis - SC, em 1987 e 1991 respectivamente. Entre 1989 e 1993, atuou como professor adjunto na Universidade Federal de Uberlândia, Uberlândia-MG. Atualmente, é professor titular do Depto. de Eletrônica e Computação da Universidade

Federal de Santa Maria, Santa Maria-RS. De 1997 à 2000 foi coordenador do programa de pós-graduação em Engenharia Elétrica da UFSM. De 1995 a 1999 foi o editor da Revista Brasileira de Eletrônica de Potência, vinculada a Sociedade Brasileira de Eletrônica de Potência.

Hilton Abílio Gründling nasceu em Santa Maria, RS, Brasil, em 1954. Ele formou-se em engenharia elétrica pela Pontifícia Universidade Católica do Rio Grande do Sul, Porto Alegre, Brasil, em 1977. Ele recebeu o grau de Mestre pela Universidade Federal de Santa Catarina, Santa Catarina, Brasil, em 1980 e o grau de Doutor do Instituto Tecnológico da Aeronáutica, São Paulo, Brasil, em 1995. Desde 1980, tem atuado como professor na Universidade Federal de Santa Maria. Suas áreas de interesse incluem Controle Adaptativo Robusto por Modelo de Referência, Controle Discreto e Aplicações de Sistemas de Controle.

Humberto Pinheiro nasceu em Santa Maria, Brasil, em 1960. Ele recebeu o grau de engenheiro eletricitista pela Universidade Federal de Santa Maria, em 1983, o grau de Mestre pela Universidade Federal de Santa Catarina, em 1987, e o grau de doutor pela Concordia University, Montreal, Canada, em 1999. Ele trabalhou com engenheiro na BK Controles Eletrônicos, de 1983 até 1990 e ministrou eletrônica de potência na PUC-RS de 1987 até 1991. Ele atualmente é Professor Adjunto no Departamento de Eletrônica e Computação na Universidade Federal de Santa Maria, atuando do GEPOC. Entre seus assuntos de pesquisa de interesse estão fontes ininterruptas de energia e controle discreto de conversores estáticos.

José Eduardo Baggio nasceu em Santa Maria - RS, em 1971. Formou-se em Engenharia Elétrica pela Universidade Federal de Santa Maria, em 1995. Obteve o título de Mestre em Engenharia Elétrica na Universidade Federal de Santa Maria, em 1997. Atualmente é estudante de doutorado na mesma universidade. Sua área de interesse compreende Eletrônica de Potência, Sistemas de Controle e Sistemas Digitais.

José Renes Pinheiro nasceu em Santa Maria, RS, Brasil, em 1958. Recebeu o grau de Engenheiro Eletricista pela Universidade Federal de Santa Maria, Santa Maria, Brasil, e os graus de Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis, SC, Brasil, em 1981, 1984, e 1994, respectivamente. Atualmente, O Dr. Pinheiro é Professor Titular do Departamento de Eletrônica e Computação da Universidade Federal de Santa Maria, onde atua desde 1985. Em 1987, foi um dos fundadores do Grupo de Eletrônica de Potência e Controle (GEPOC). Foi o coordenador de Programa Técnico do Congresso Brasileiro de Eletrônica de Potência (COBEP), em 1999, e do Seminário de Eletrônica de Potência e Controle (SEPOC), em 2000. Em 2001 e 2002, ele realizou Pós-doutorado na área de Sistemas de Energia Distribuídos, no Center for Power Electronics Systems (CPES), da Virginia Polytechnic Institute and State University (Virginia Tech), Blacksburg, USA. Suas principais linhas de pesquisas

incluem Sistemas Híbridos de conversão estática de energia, Sistemas de alimentação de alta frequência, Técnicas de compensação e correção do fator de potência, modelagem e

controle de conversores estáticos. Dr. Pinheiro é membro da Sociedade Brasileira de Eletrônica de Potência, da Sociedade Brasileira de Automática, e de Sociedades da IEEE.

UM RETIFICADOR MONOFÁSICO COM ELEVADO FATOR DE POTÊNCIA BASEADO NO CONVERSOR BUCK MULTINÍVEL EM CORRENTE

Estêvão Coelho Teixeira e Henrique A. C. Braga

Núcleo de Automação e Eletrônica de Potência – NAEP
Universidade Federal de Juiz de Fora – UFJF
Caixa Postal 422 – CEP 36.001-970 – Juiz de Fora – MG – Brasil
estevaoc@jfnet.com.br - hbraga@engelet.ufjf.br

Resumo – Este artigo descreve um conversor estático cc-cc monofásico consistindo de uma ponte retificadora convencional a diodos associada a um conversor cc-cc buck multinível em corrente de duas células. Dependendo da estratégia de comutação adotada, a estrutura pode apresentar uma corrente de entrada com até cinco níveis e fator de potência de deslocamento unitário, levando a uma operação com elevado fator de potência, além de permitir a divisão equilibrada da corrente total de saída através de duas células de comutação. Esta estrutura, que opera com comutação em baixa frequência, é adequada para aplicações de cargas cc altamente indutivas. Uma breve revisão sobre estruturas anteriores que levaram ao desenvolvimento da nova topologia é apresentada, bem como resultados de simulação e resultados experimentais para um protótipo de 2 kW implementado em laboratório.

Abstract - This paper introduces a single-phase ac-to-dc static converter, which consists of a conventional diode bridge cascaded by a two-cell current multilevel buck dc-to-dc converter. Depending upon the switching strategy, the structure input current can present up to five levels and provide a unity displacement power factor, leading to a high power factor operation, and a balanced distribution of output current among two commutation cells. This low-frequency switching circuit is proper to highly inductive dc loads. It is also presented a brief review of structures that led to the development of the new topology. Simulation results for the proposed circuit and experimental results for a 2-kW prototype, implemented in laboratory, are also presented.

I. INTRODUÇÃO

Os conversores multiníveis têm surgido como uma nova classe de conversores estáticos de energia durante os últimos anos [1, 2]. Diversas topologias e técnicas de modulação foram desenvolvidas para estes conversores, sobretudo em aplicações de altas potências [3]. A principal motivação para o emprego de estruturas multiníveis é a capacidade de assegurar uma distribuição equilibrada da tensão (ou corrente) através de uma associação de interruptores estáticos. Entretanto, é possível ainda otimizar o conteúdo harmônico das tensões e/ou correntes nas estruturas e proporcionar menores níveis de interferência eletromagnética

conduzida e irradiada. Tais benefícios são de grande interesse em aplicações industriais.

Uma revisão da teoria sobre conversores multiníveis em tensão e corrente foi apresentada em [4], onde são discutidas estruturas baseadas tanto na associação de conversores como na associação de células de comutação [5]. A célula de comutação é uma estrutura de três terminais envolvendo dois interruptores operando de forma complementar, estando presente na maioria dos conversores estáticos.

Os conversores multiníveis em corrente (MNC) consistem em uma alternativa para promover a associação de células de comutação em paralelo, e foram descritos detalhadamente em [6]. A nova técnica já foi aplicada a conversores cc-cc, inversores e até a retificadores trifásicos com elevado fator de potência. Sua aplicação a retificadores monofásicos, contudo, foi até agora objeto de especulação teórica.

A melhoria do fator de potência (FP) em retificadores monofásicos está normalmente associada à utilização de um pré-regulador boost, operando em alta frequência, ligado à saída de uma ponte retificadora a diodos [7]. Um retificador com correção do fator de potência e operação em alta frequência que emprega a modulação multinível em tensão foi apresentado em [8]. Estas técnicas, no entanto, não são adequadas para aplicações em altas potências, devido às restrições tecnológicas dos interruptores estáticos. Assim, técnicas de melhoria do fator de potência que empreguem comutação em baixa frequência são mais recomendáveis, sobretudo na presença de correntes mais elevadas. O retificador baseado no conversor boost também pode operar em baixa frequência, com o interruptor principal sendo acionado durante um pequeno intervalo do período de comutação, normalmente uma ou duas vezes no período [9, 10]. No entanto, seja em alta seja em baixa frequência, o conversor “ca-cc boost” aplica-se melhor a cargas com saída em tensão (comumente uma carga resistiva em paralelo com um capacitor de filtragem). Por outro lado, boa parte das cargas cc apresenta uma característica de saída preponderantemente indutiva.

Os retificadores controlados e semicontrolados a tiristor tradicionais [11] podem ser aplicados a cargas cc fortemente indutivas. Embora de uso difundido na indústria, estes conversores operam com um baixo fator de potência. Além disso, apresentam componentes harmônicas de baixa ordem que prejudicam a qualidade da energia da rede elétrica. Por estes motivos, tais equipamentos não se ajustam facilmente aos limites estabelecidos quanto ao fator de potência, bem como aos determinados pelas normas e recomendações internacionais sobre emissão de harmônicos [12].

O controle simétrico do ângulo de disparo/extinção dos interruptores [13] é uma técnica em baixa frequência para se obter uma melhoria do fator de potência em retificadores alimentando cargas altamente indutivas, em alternativa aos retificadores convencionais a tiristor. Isto pode ser implementado através da utilização de GTOs no lugar de tiristores, ou empregando para os tiristores alguma técnica de comutação forçada, resultando nas formas de onda da tensão e corrente de entrada ilustradas na Figura 1. Neste caso, o retificador apresenta uma corrente de entrada 3 níveis com sua componente fundamental em fase com a tensão de entrada ($\phi_1 = 0^\circ$), correspondendo a um fator de potência de deslocamento unitário, o que melhora o FP da estrutura.

O conceito de conversores multiníveis em corrente pode ser empregado na implementação de retificadores com elevado fator de potência, sendo que a comutação ocorre em baixa frequência. A Figura 2 ilustra formas de onda de tensão e corrente de entrada idealizadas em um retificador monofásico MNC 5 níveis. É possível minimizar a distorção harmônica total (DHT) da corrente de entrada através do adequado ajuste dos ângulos α e ϕ . Um retificador trifásico baseado na técnica MNC foi apresentado em [14].

O presente trabalho propõe um retificador monofásico empregando comutação em baixa frequência, apresentando fator de deslocamento unitário, baseado no conversor buck multinível em corrente (MNC), conforme representado de forma simplificada na Figura 3. A estrutura proposta é capaz de promover a distribuição equilibrada da corrente total entre dois ou mais interruptores, podendo ser comandada de forma a apresentar uma corrente de entrada multinível. Assim, a estrutura proposta pode apresentar fator de potência elevado, especialmente para tensões de saída próximas da nominal, sendo bastante adequada para cargas cc altamente indutivas, tais como acionamentos de máquinas cc, eletroímãs de levantamento e freios elétricos. É fácil concluir que o sistema pode ser alimentado também a duas fases, o que representa um incremento significativo na capacidade de potência total do conversor.

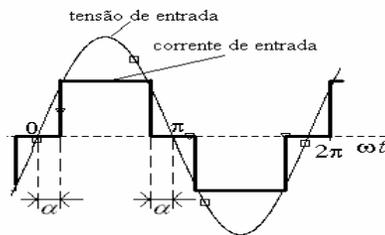


Figura 1 – Tensão e corrente de entrada em retificador empregando controle simétrico do ângulo.

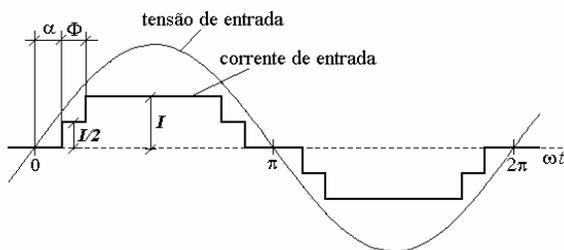


Figura 2 – Tensão de entrada senoidal e corrente de entrada com cinco níveis em um retificador MNC.

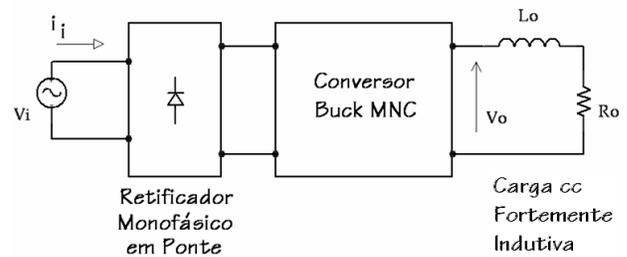


Figura 3 – Diagrama de blocos do conversor proposto.

Devido à presença do conversor buck na estrutura do retificador, a nova topologia recebe a denominação *retificador buck MNC* e será apresentada na próxima seção. Um trabalho anterior sobre a estrutura proposta foi apresentado pelos autores em [15].

II. O RETIFICADOR MONOFÁSICO MNC 5 NÍVEIS

A Figura 4 mostra a célula MNC genérica, baseada na conexão em paralelo de células de comutação por meio de indutores denominados *indutores de equilíbrio*. A estrutura foi originalmente proposta como uma técnica alternativa para promover o paralelismo dos interruptores estáticos [16], e corresponde ao dual de uma célula genérica multinível em tensão, proposta em [17].

Empregando-se “atrasos” nos pulsos aplicados aos interruptores, a estrutura pode apresentar múltiplos níveis para a sua corrente de entrada i_i , entre 0 e I_o , sendo I_o o valor médio da corrente que sai do nó C, indicado na figura. A Figura 5 mostra o uso da célula MNC em um retificador MNC 5 níveis. A estrutura é derivada de um inversor com corrente (CSI) 5 níveis [18,19], tendo sido abordada de forma teórica em [6].

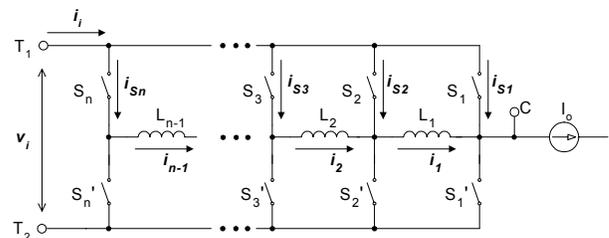


Figura 4 – A célula MNC genérica.

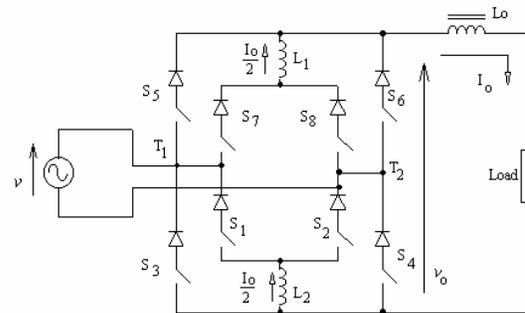


Figura 5 – Um retificador MNC cinco níveis baseado em um inversor CSI.

Dependendo da configuração para a qual for destinada a célula MNC, pode-se ter uma tensão de entrada v_i contínua ou alternada. Para conversores cc-cc, tem-se uma tensão contínua na entrada, sendo os interruptores inferiores da célula substituídos por interruptores passivos (diodos). Os terminais T_1 , T_2 e C são, neste caso, designados por A (ativo), P (passivo) e C (comum). A Figura 6 ilustra a aplicação da célula MNC em um conversor buck. Para este circuito, a célula MNC consiste da associação de duas células de comutação conectadas através do indutor de equilíbrio L_1 , sendo o circuito denominado, então, *conversor buck MNC 2 células*.

A célula MNC pode, entretanto, ser formada por n células de comutação, sendo possível adaptá-la a todos os conversores cc-cc não-isolados (buck, boost, buck-boost, çuk, sepic e zeta) [20].

O retificador MNC 5 níveis proposto neste trabalho tem, como parte integrante de sua estrutura, o conversor buck MNC 2 células, com uma ponte retificadora convencional a diodos substituindo a fonte cc. O circuito é mostrado na Figura 7. O ramo de saída é constituído por uma carga RL, representando uma carga altamente indutiva.

Uma vez que o circuito opera com baixa frequência de comutação, o indutor de equilíbrio L_1 deve ser confeccionado em núcleo de ferro-silício. A principal vantagem oferecida pela nova topologia em relação ao retificador cinco níveis MNC da Figura 5 é o número reduzido de interruptores ativos, além de uma estratégia de comutação significativamente mais simples.

A corrente total de saída i_o pode assim ser distribuída de forma segura através dos interruptores do retificador sem que a estrutura incorra nas dificuldades oferecidas pelo paralelismo convencional de interruptores estáticos.

III. RESULTADOS DE SIMULAÇÃO

Considere, para o retificador buck MNC 5 níveis da Figura 7, os seguintes parâmetros de simulação: $V_{ca} = 127$ V, $f = 60$ Hz, $R_o = 5$ Ω , $L_o = 100$ mH, $L_1 = 60$ mH e $r_{on} = 0,01$ Ω . Tais parâmetros representam, respectivamente, a tensão eficaz de entrada, a frequência da rede, a resistência e indutância da carga, a indutância de equilíbrio e a resistência de condução dos interruptores ativos e diodos. Os ângulos α e ϕ (ver Figura 2) são, respectivamente, $12,6^\circ$ e $26,8^\circ$.

Para simulação do circuito no software PSpice®, foram empregados interruptores comandados por sinal de tensão (Sbreak). Foi adotado o modelo Dbreak para os diodos. A simulação levou às formas de onda mostradas na Figura 8.

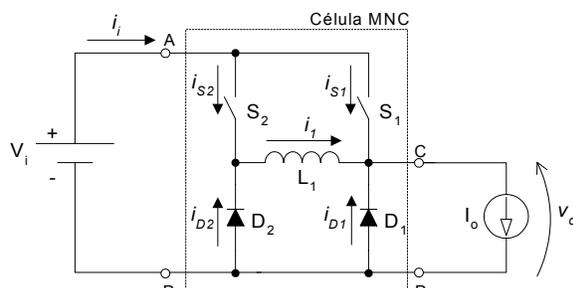


Figura 6 – Um conversor buck MNC 2 células.

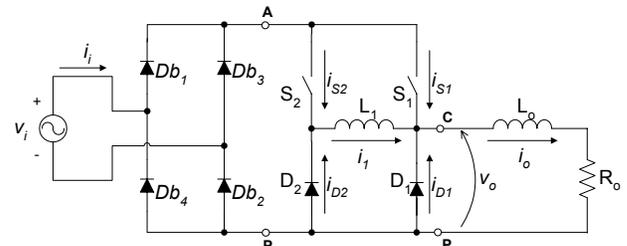


Figura 7 – O retificador buck MNC 5 níveis.

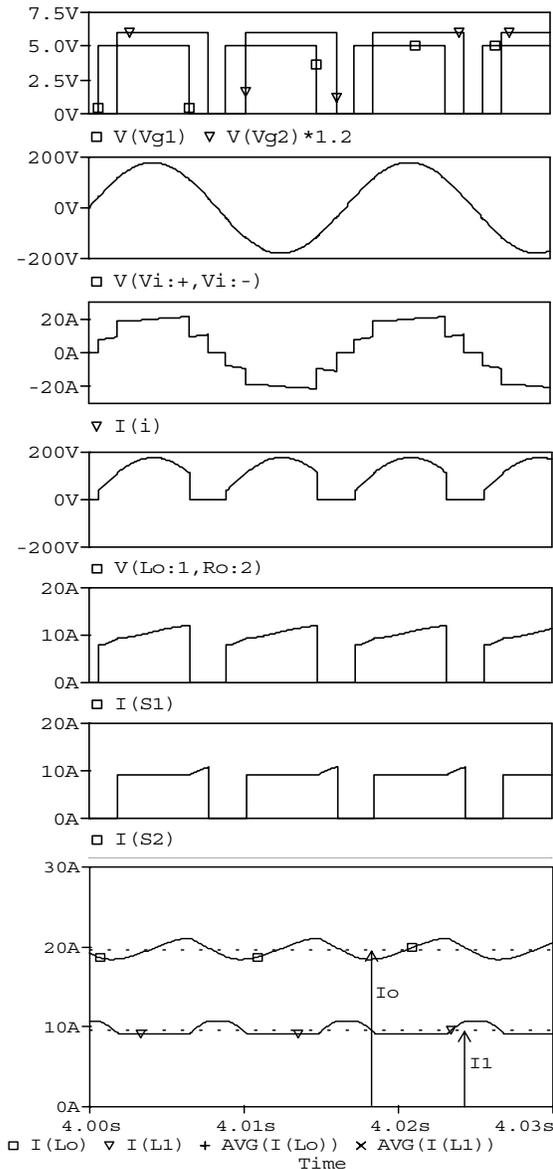


Figura 8 – Formas de onda simuladas para o retificador. De cima para baixo: pulsos de comando de S_1 e S_2 ; tensão e corrente de entrada; tensão na carga; corrente em S_1 e S_2 ; corrente de saída e corrente no indutor de equilíbrio L_1 .

Do gráfico inferior da figura, observa-se que o valor médio da corrente no indutor de equilíbrio L_1 , I_1 , é a metade do valor de I_o , o que indica o equilíbrio de corrente entre interruptores ativos e diodos do retificador.

O espectro harmônico da corrente de entrada é mostrado na Figura 9. Para a corrente de entrada, a DHT obtida para 40 harmônicas foi de 15,6 %.

Apesar de algumas componentes harmônicas possuírem amplitudes relativamente expressivas, o conversor pode apresentar um FP bastante elevado, cuja expressão geral é:

$$FP = \frac{FP_D}{\sqrt{1 + DHT_i^2}} \quad (1)$$

Onde FP_D é o fator de potência de deslocamento e DHT_i é a distorção harmônica total da corrente de entrada.

O ângulo de deslocamento ϕ_1 obtido foi de $-2,38^\circ$ ($FP_D \cong 1$). Substituindo os valores encontrados para DHT_i e FP_D em (1), obtém-se um fator de potência igual a 0,987 para o circuito simulado.

Para um retificador buck MNC ideal ($r_{on} = 0$), o valor médio da tensão de saída, V_o , é dado pela expressão:

$$V_o = \frac{1}{\pi} \cdot \int_{\alpha}^{\pi - (\alpha + \phi)} \sqrt{2} \cdot V_{ca} \cdot \text{sen}(\theta) d\theta = \frac{\sqrt{2} \cdot V_{ca}}{\pi} \cdot [\cos(\alpha) + \cos(\alpha + \phi)] \quad (2)$$

Para os ângulos α e ϕ empregados na simulação, a expressão (2) resultaria em $V_o = 100$ V. Devido às quedas de tensão nos interruptores e diodos, obteve-se, para o circuito simulado, $V_o = 98,3$ V.

IV. OTIMIZAÇÃO DA DISTORÇÃO HARMÔNICA TOTAL DA CORRENTE DE ENTRADA

De acordo com (2), a escolha adequada de um par de ângulos α, ϕ permite o ajuste da tensão de saída V_o . Entretanto, existem diversos pares de ângulos que produziram um dado valor V_o . Para orientar a escolha, pode-se optar por determinar pares de ângulos de forma que se minimizem componentes harmônicas específicas, a fim de verificar a adequação do sistema a regulamentações pertinentes, e.g. IEC 61000-3-4. Porém, de acordo com a própria IEC, tal documento é considerado uma “recomendação técnica”, não se enquadrando ainda na categoria de norma internacional.

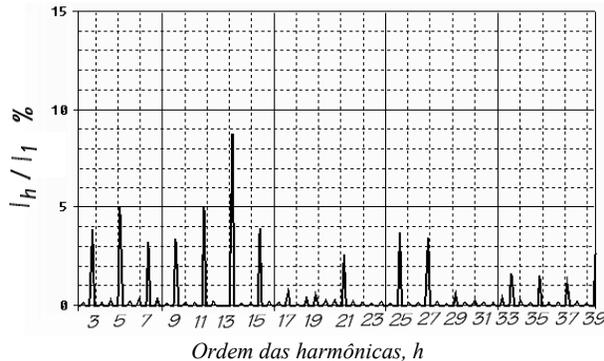


Figura 9 – Espectro harmônico da corrente de entrada.

Assim, optou-se neste trabalho, por otimizar o retificador de forma a obter a DHT_i mínima o que resulta, conseqüentemente, em um máximo FP de acordo com a equação (1).

Para a análise da DHT_i mínima considerou-se a situação ideal da Figura 2, ou seja L_o e L_1 são tais que a ondulação nos níveis da corrente de entrada é desprezível. Desta forma, a expressão para i_i , em termos da série de Fourier, é dada por:

$$i(t) = \frac{2I_o}{\pi(2n-1)} \sum_{n=1}^{\infty} \{ \cos[(2n-1)\alpha] + \cos[(2n-1) \cdot (\alpha + \phi)] \} \cdot \text{sen}[(2n-1)\omega t] \quad (3)$$

A amplitude da componente harmônica de ordem h , com $h = 1, 3, 5, \dots$, designada por I_h , é dada por:

$$I_h = \frac{2I_o}{\pi h} \{ \cos(h\alpha) + \cos[h \cdot (\alpha + \Phi)] \} \quad (4)$$

A DHT_i é dada por:

$$DHT_i(\%) = 100 \times \sqrt{\sum_{h=2}^{\infty} \left(\frac{I_h}{I_{i1}} \right)^2} \quad (5)$$

Onde I_{i1} é a amplitude da componente fundamental de i_i . Através de (2), (4) e (5) é possível, por meio de um método numérico, encontrar os ângulos α e ϕ que minimizam a DHT_i para um determinado valor de V_o , sendo assim denominados *ângulos ótimos*.

As curvas mostrando a DHT_i mínima e os ângulos ótimos, ambas em função da tensão de saída que seria obtida em um retificador buck MNC ideal (sem perdas nos interruptores), são mostradas, respectivamente, nas Figuras 10 e 11.

A tensão de saída é expressa na forma normalizada, $V_{o,n}$, dada por:

$$V_{o,n} = \frac{V_o}{V_{o,base}} \quad (6)$$

Onde:

$$V_{o,base} = V_o (\alpha = \phi = 0^\circ) \quad (7)$$

Foi adotado um limite para o ângulo ϕ de 30° . Ora, maiores valores de ϕ implicam em ondulação acentuada da corrente no indutor de equilíbrio, pois é neste intervalo que tal elemento se submete à tensão de entrada. Isto, por conseguinte, exige uma indutância mais elevada para garantir a distribuição equitativa de corrente nas chaves e para preservar a constituição multinível da corrente. Em conseqüência, o volume e peso do conversor podem aumentar desfavoravelmente. Foi adotado ainda:

$$\alpha + \phi \leq 80^\circ \quad (8)$$

Esta restrição se dá em função de características próprias do circuito de comando desenvolvido para o protótipo, o qual rejeita uma entrada de dados α, ϕ cuja soma exceda 80 graus. O objetivo aqui é garantir um tempo mínimo para que o sistema de geração de pulsos possa executar as rotinas de leitura de dados (vj. Seção V). Como os resultados experimentais para a DHT_i foram posteriormente comparados com os valores teóricos, foi de interesse considerar a restrição expressa por (8) no algoritmo para obtenção da curva da Figura 10.

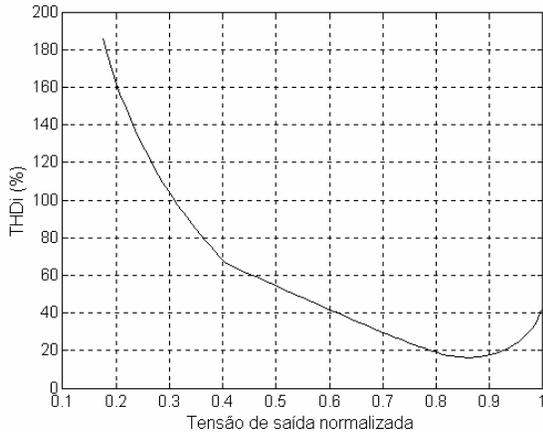


Figura 10 – DHT_i mínima, em função da tensão de saída normalizada.

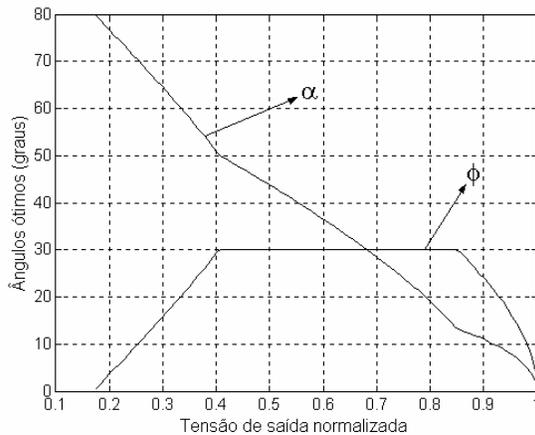


Figura 11 – Ângulos ótimos do retificador (o valor máximo de ϕ foi restrito a 30°).

V. O CIRCUITO DE SINCRONISMO E GERAÇÃO DE PULSOS

O circuito de sincronismo e geração de pulsos desempenha um papel fundamental na operação da estrutura proposta. Além de promover o sincronismo entre os pulsos de comando e a tensão ca de entrada, o circuito deve ainda garantir que os intervalos de tempo $\Delta t_{\alpha(1)}$ e $\Delta t_{\alpha(2)}$, bem como $\Delta t_{\phi(1)}$ e $\Delta t_{\phi(2)}$, sejam iguais, como ilustra a Figura 12, representando a tensão de saída da ponte retificadora e os pulsos de comando dos interruptores, v_{g1} e v_{g2} . Pequenas assimetrias entre estes intervalos poderiam causar um desequilíbrio degenerativo de corrente nos interruptores, descaracterizando a operação multinível do retificador e

sobrecarregando uma das duas células de comutação constituintes da célula MNC do retificador.

O circuito de sincronismo e geração de pulsos é descrito pelo diagrama de blocos da Figura 13. Um microcontrolador de 8 bits constitui sua unidade principal. O sistema, após transformar o sinal da tensão de entrada v_i em uma onda quadrada TTL (v_i'), aplica o sinal v_i' à entrada de um circuito de malha amarrada por fase (PLL), responsável por promover o sincronismo dos pulsos v_{g1} e v_{g2} com a tensão v_i , sendo este o único sinal externo necessário para a operação do sistema.

Os pulsos v_{vco} , produzidos na saída do oscilador controlado por tensão (VCO), interno ao circuito PLL, são aplicados à entrada do contador integrante do microcontrolador. O programa do microcontrolador (*firmware*), por sua vez, realiza a contagem destes pulsos (com frequência 1800 vezes superior à de v_i') de forma a produzir os pulsos de comando, de acordo com os ângulos α e ϕ , cujos valores são fornecidos pelo usuário através de um teclado numérico.

O sinal v_{vco}' é realimentado no comparador de fase do PLL, tendo, para o sistema em equilíbrio, a mesma frequência de v_i' . Os sinais v_{g1} e v_{g2} são aplicados a circuitos de interfaceamento (*drivers*) adequados aos dispositivos utilizados para implementar S_1 e S_2 , gerando assim os sinais v_{g1}' e v_{g2}' .

O microcontrolador de 8 bits adotado foi o AT89S8252 (Atmel), enquanto o circuito PLL empregado foi o CD4046BC (Fairchild). O uso de um sistema microcontrolado permite ao usuário não somente ajustar a tensão de saída, mas também entrar com o valor numérico dos ângulos α e ϕ . Adicionalmente, este sistema poderia ser empregado para responder a uma estratégia especificada de controle em malha fechada, o que se pretende desenvolver no futuro.

VI. RESULTADOS EXPERIMENTAIS

Um protótipo de 2 kW para o retificador buck MNC foi implementado em laboratório (Figura 14). Neste caso, Q1 e Q2 são IGBTs IRG4PC30W (International Rectifier), enquanto D1 e D2 são diodos MUR1540. Embora estes componentes sejam de comutação rápida, o seu emprego se deu em função da disponibilidade em laboratório e adequação aos níveis de tensão e corrente exigidos. Em uma aplicação prática do retificador, porém, componentes lentos (e.g. IGBT's de 1ª geração) poderiam ser utilizados. Por outro lado, a ponte retificadora utilizada (KBPC3504) é própria para operação em baixa frequência.

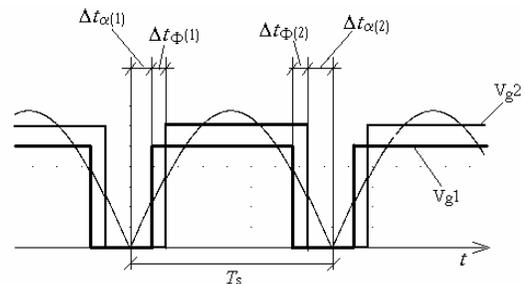


Figura 12 – Representação da tensão na saída da ponte retificadora e pulsos de comando v_{g1} e v_{g2} .

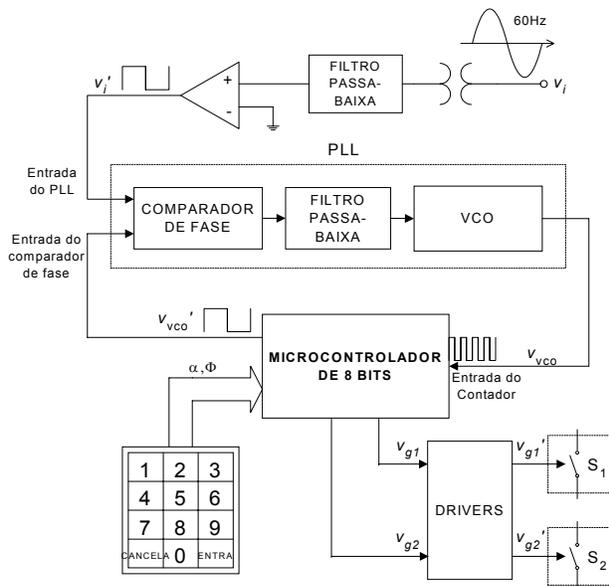


Figura 13 – O circuito de sincronismo e geração de pulsos.

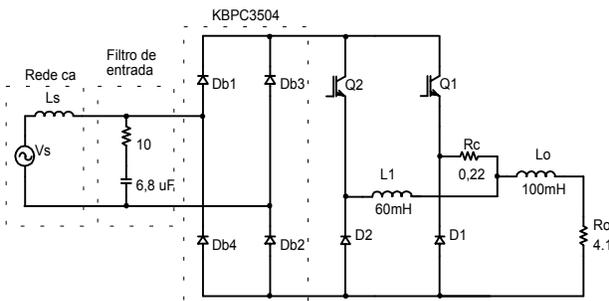


Figura 14 – Diagrama esquemático do protótipo implementado em laboratório.

Um filtro de entrada RC foi inserido no circuito, com o intuito de minimizar distúrbios na tensão de entrada causados pela transição rápida nos níveis de corrente de entrada durante a entrada em condução/bloqueio dos IGBTs. Isto ocorre devido às tensões induzidas $L \cdot di/dt$ nas indutâncias da rede ca, representadas por L_s na Figura 14.

A resistência R_c de $0,22 \Omega$ foi utilizada para compensar a resistência interna do indutor de equilíbrio L_1 , de forma a garantir a divisão adequada da corrente nos interruptores da célula MNC. Embora a técnica de compensação resistiva introduza algum acréscimo nas perdas totais do circuito, o seu emprego no protótipo desenvolvido justificou-se pela simplicidade de implementação. Em trabalhos futuros, no entanto, poderão ser adotadas outras técnicas de compensação que não utilizem R_c , como o controle dinâmico na largura de pulso dos sinais de comando dos interruptores. Nesse caso, há a necessidade de um sistema de controle em malha fechada com sensores de corrente.

Em laboratório foram realizados ensaios exaustivos com o protótipo, tendo sido adquiridas curvas típicas para o retificador operando com $\alpha = 12,6^\circ$ e $\phi = 26,8^\circ$ que são aqui incluídas. A Figura 15 mostra a tensão e a corrente de entrada do retificador. As Figuras 16, 17 e 18 mostram outras formas de onda de interesse.

Para a corrente de entrada, a DHT_i obtida para 40 harmônicas foi de 15,3%, com um ângulo de deslocamento de $0,28^\circ$ ($FP_D \cong 1$). De acordo com (1), o fator de potência obtido foi de 0,989.

Pode-se observar na Figura 15 a presença de distúrbios na tensão de entrada. Tais distorções provocaram uma DHT de tensão de entrada de 4,48% (contra 3,32% para o sistema a vazio). A utilização de um circuito de ajuda à comutação (*snubber*) associado aos IGBT's, como mostra a Figura 19, poderia reduzir consideravelmente tais distúrbios, através da redução das taxas di/dt para a corrente de entrada nas transições. A Figura 20 mostra a tensão e corrente de entrada simuladas para o retificador buck MNC 5 níveis empregando o circuito de ajuda à comutação da Figura 19. Foram mantidos os parâmetros de simulação da seção III, tendo sido incluídos: $L_s = 0,2 \text{ mH}$, $L_{snb} = 4 \text{ mH}$, $C_{snb} = 33 \mu\text{F}$ e $R_{snb} = 100 \Omega$. Neste caso, a DHT da tensão de entrada ficou em 1,24%, enquanto que para a corrente multinível obteve-se 13,74%. A investigação de um *snubber* ótimo, bem como sua implementação prática são objetos de futuros trabalhos.

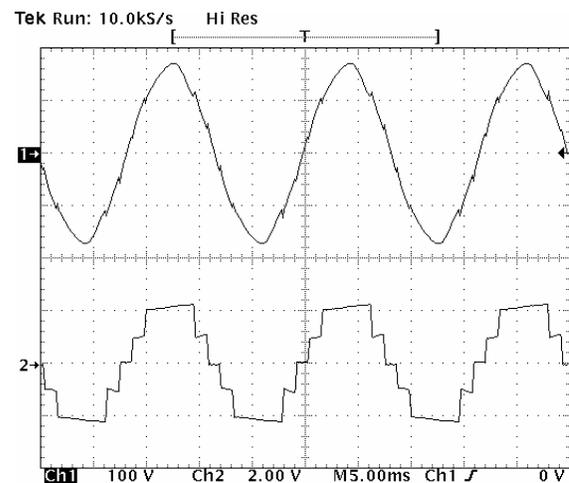


Figura 15 – Tensão e corrente de entrada, para $\alpha = 12,6^\circ$ e $\phi = 26,8^\circ$ (5 ms/div; 100 V/div; 20 A/div).

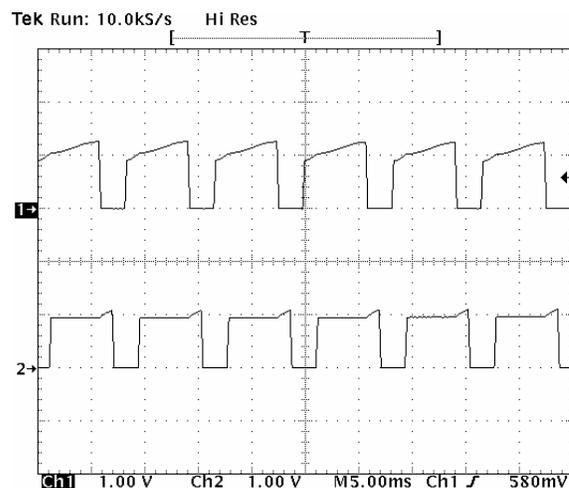


Figura 16 – Correntes nos IGBTs (5 ms/div; 10 A/div).

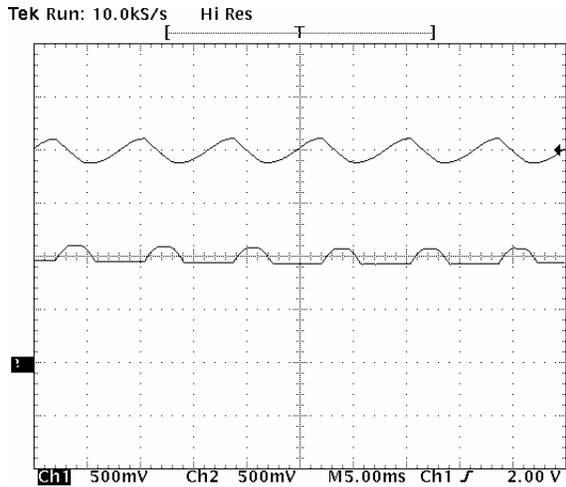


Figura 17 – Corrente de saída e corrente no indutor de equilíbrio (5 ms/div; 5 A/div).

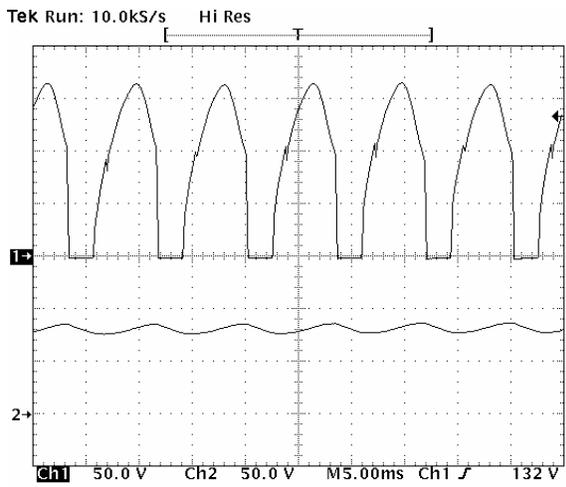


Figura 18 – Tensão de saída e tensão em R_o (5 ms/div; 50 V/div).

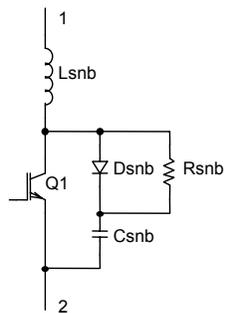


Figura 19 – Circuito de ajuda à comutação.

Variando-se a tensão de saída utilizando os ângulos ótimos da Figura 11, foi obtida a curva de rendimento do retificador, mostrada na Figura 21. Foram obtidas ainda as curvas experimentais da DHT_i (Figura 22) e do fator de potência do retificador (Figura 23).

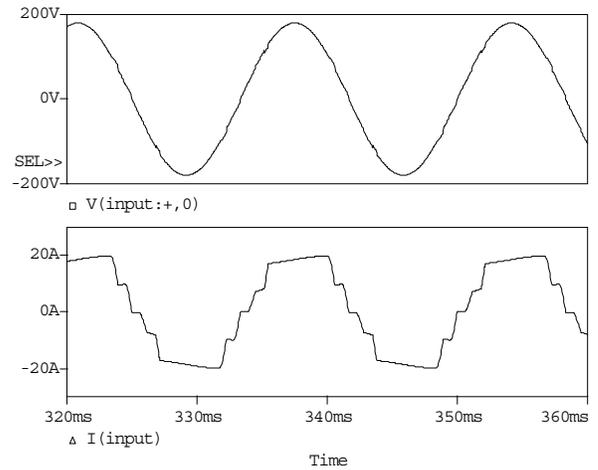


Figura 20 – Tensão e corrente de entrada simuladas para o retificador buck MNC 5 níveis empregando o circuito de ajuda à comutação da Figura 19.

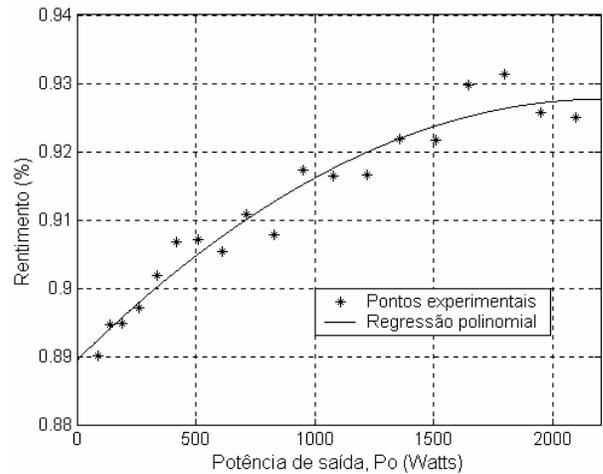


Figura 21 – Curva de rendimento do retificador buck MNC 5 níveis.

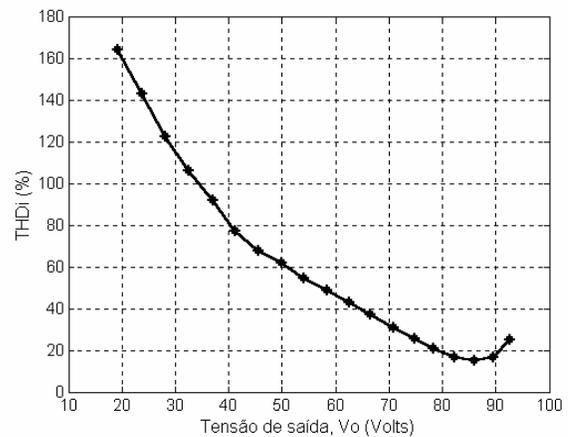


Figura 22 – Valores experimentais para a DHT da corrente de entrada.

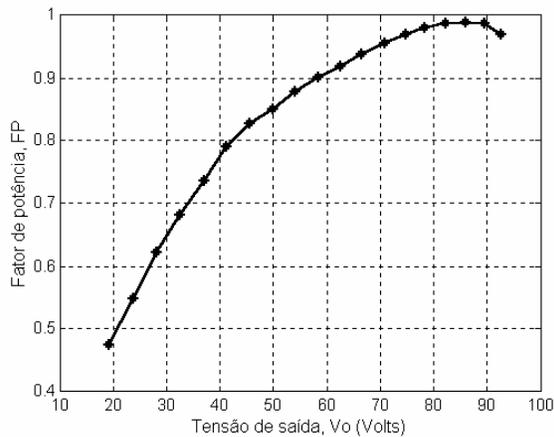


Figura 23 – Curva do fator de potência obtido para o retificador.

Em virtude da queda de tensão nos componentes do retificador, incluindo a resistência parasita do indutor de equilíbrio foram registrados, para a tensão de saída, valores menores do que os que seriam obtidos usando os pares α, ϕ em (2). Para $\alpha = 12,6^\circ$ e $\phi = 26,8^\circ$, a tensão de saída medida foi de aproximadamente 86 V (em lugar de 100 V, no caso teórico). Estuda-se obter uma equação mais rigorosa que a equação (2), a fim de refletir este efeito. Entretanto, para cada par α, ϕ utilizado na obtenção da curva da Figura 22, os valores experimentais de DHT_i mostraram-se muito próximos dos valores teóricos, mostrados na Figura 10 para uma forma de onda 5 níveis ideal, sobretudo para os valores maiores de tensão de saída.

VII. CONCLUSÕES

Este trabalho apresentou um novo retificador multinível em corrente baseado no conversor buck-2 células, capaz de estabelecer uma corrente de entrada com até cinco níveis. Se comparado com outras alternativas, a nova estrutura apresenta a vantagem de promover a divisão da corrente de saída através de duas células de comutação, empregando um número reduzido de interruptores ativos.

Através do comando dos interruptores ativos empregando pulsos de mesma largura, defasados de um ângulo ϕ , mostrou-se possível ajustar a tensão de saída do retificador drenando da fonte ca uma corrente de entrada com DHT reduzida, levando a estrutura a operar com elevado fator de potência, empregando comutação em baixa frequência. Isto pode ser comprovado através da comparação entre os resultados experimentais para a tensão e corrente de entrada (Figura 15) com as formas de onda ideais da Figura 2. A estrutura monofásica é adequada, assim, a aplicações envolvendo cargas cc altamente indutivas.

A estratégia de sincronismo associada à geração dos pulsos de comando dos interruptores, através de um circuito digital apropriado, mostrou-se imprescindível para garantir o equilíbrio de corrente entre os interruptores da célula MNC, intrínseca à estrutura do retificador buck MNC 5 níveis.

O circuito descrito neste trabalho e os resultados experimentais obtidos constituem, assim, uma referência para o desenvolvimento de retificadores buck MNC com mais de cinco níveis, bem como para o estudo de outras topologias de

retificadores com comutação em baixa frequência baseados na técnica multinível em corrente.

Um estudo sobre condicionamento harmônico e adequação a normas será implementado como continuidade deste trabalho. Ressalta-se, porém, a possibilidade de operação com um maior número de níveis intermediários (empregando um conversor buck com mais de duas células MNC), o que certamente flexibilizará a minimização de componentes harmônicas específicas.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] J. S. Lai, F. Z. Peng, "Multilevel Converters – A New Breed of Power Converters", *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/June 1996.
- [2] J. Rodrigues, J. S. Lai, F. Z. Peng, "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, August 2002.
- [3] F. Z. Peng, J. S. Lai, J. W. McKeever, J. VanCoevering, "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation", *IEEE Transactions on Industry Applications*, vol. 32, no. 5, pp. 1130-1138, Sep/Oct 1996.
- [4] H. A. C. Braga, I. Barbi, "Conversores Estáticos Multiníveis – Uma Revisão", *Revista da SBA - Controle & Automação*, vol. 11, no. 01, pp. 20-28, janeiro a abril de 2000.
- [5] V. Vorpérian, "Simplified Analysis of PWM Converters Using Model of PWM Switch; Part I: Continuous Conduction Mode", *IEEE Transactions on Aerospace and Electronics Systems*, Vol. 26, No. 3, pp. 490-496, May 1990.
- [6] H. A. C. Braga, "Conversores Multiníveis em Corrente", *Tese de doutorado, UFSC, Florianópolis*, 1996.
- [7] J.-S. Lai, D. Hurst, T. Key, "6 Switch-Mode Supply Power Factor Improvement Via Harmonic Elimination Methods", in *Applied Power Electronics Conference and Exposition, 1991. APEC '91*, Conference Proceedings, pp. 415-422, Mar. 1991.
- [8] B. R. Lin, H. H. Lu, "A Novel PWM Scheme for Single-Phase Three-Level Power-Factor-Correction Circuit", *IEEE Transactions on Industrial Electronics*, vol. 47, no. 2, pp. 245-252, April 2000.
- [9] M. S. Elmore, W. A. Peterson, D. Sherwood, "A Power Factor Enhancement Circuit", in *Applied Power Electronics Conference and Exposition, 1991, APEC '91*, Conference Proceedings, pp. 407-414, Mar. 1991.
- [10] Suga, M. Kimata, Y. Ohnishi, R. Uchida, "New Switching Method for Single-Phase AC to DC Converter", *Power Converters Conference, Yokohama, 1993*, pp. 93-98, Apr. 1993.
- [11] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics – Converters, Applications and Design*. John Wiley & Sons, Inc., 1989.
- [12] R. Redl, P. Tenti, J. Daan van Wyk, "Power Electronics' Polluting Effects", *IEEE Spectrum*, vol. 34, no. 5, pp. 32-39, May 1997.
- [13] M. H. Rashid, *Eletrônica de Potência – Circuitos, Dispositivos e Aplicações*; Makron Books, 1999.

- [14] Y. B. Blauth, I. Barbi, "A Phase-Controlled 12-Pulse with Unity Displacement Factor without Phase Shifting Transformer", *Applied Power Electronics Conference and Exposition, 1998, APEC '98*. Conference Proceedings, vol. 2, pp. 970-976, Feb. 1998.
- [15] E. C. Teixeira, H. Braga, "A High Power Factor Single-Phase Rectifier Based on a Current Multilevel Buck Converter", *Anais do 6º Congresso Brasileiro de Eletrônica de Potência – COBEP*, pp. 180-185, 2001.
- [16] H. A. C. Braga, I. Barbi, "A New Technique for Parallel Connection of Commutation Cells: Analysis, Design, and Experimentation", *IEEE Transactions on Power Electronics*, vol. 12, no. 2, pp. 387-395, Mar. 1997.
- [17] T. A. Meynard, H. Foch, "Multi-level Conversion: High Voltage Choppers and Voltage-Source Inverters", *Anais do Power Electronics Specialists Conference (PESC'91)*, pp. 397-403, 1992.
- [18] F. M. Antunes, H. A. C. Braga, I. Barbi, "Application of a Generalized Current Multilevel Cell to a Current Source Inverter", *IEEE IECON 21st International Conference*, vol. 1, pp. 278-283, Nov. 1995.
- [19] F. M. Antunes, H. A. C. Braga, I. Barbi, "Application of a Generalized Current Multilevel Cell to Current-Source Inverters", *IEEE Transactions on Industrial Electronics*, vol. 46, no.1, pp. 31-38, Feb. 1999.
- [20] H. Braga, I. Barbi, "Current Multilevel DC-DC Converters", *Anais do 3º Congresso Brasileiro de Eletrônica de Potência – COBEP '95*, pp. 417-422, Dec. 1995.

Estêvão Coelho Teixeira nasceu em São Paulo (SP), em 28/06/1974. Gradou-se em Engenharia Elétrica em 1998 pela Universidade Federal de Juiz de Fora, onde concluiu recentemente o curso de mestrado em Engenharia Elétrica. Atuou como instrutor de formação profissional no SENAI de Juiz de Fora em 1999/2000, nas áreas de Eletricidade e Eletrônica. Suas áreas de interesse são conversores estáticos de energia, automação, microprocessadores e aplicações industriais.

Henrique A. C. Braga nasceu em Aimorés, MG, em 01/08/1959. Gradou-se em Engenharia Elétrica pela Universidade Federal de Juiz de Fora (UFJF) em 1982. É professor dessa mesma universidade desde 1985. Obteve o título de Mestre em Engenharia Elétrica, sub-área Eletrônica de Potência, na COPPE/UFRJ em 1988. Em 1996 concluiu o curso de doutoramento, na mesma área do mestrado, pela Universidade Federal de Santa Catarina, INEP-UFSC. Atuou como membro do Conselho Executivo da SOBRAEP em 1994. Atualmente é professor nos cursos de Graduação e Pós Graduação (mestrado) em Engenharia Elétrica da UFJF, lecionando disciplinas na área de Eletrônica Básica e Eletrônica de Potência. É Senior Member do IEEE e foi Diretor da Seção MG do IEEE no biênio 2000/2001 e re-eleito para o biênio 2002/2003.

RETIFICADOR PRÉ-REGULADOR BOOST COM ELEVADOS FATOR DE POTÊNCIA E RENDIMENTO, PARA SISTEMAS DE TELECOMUNICAÇÕES

Fabio Toshiaki Wakabayashi

Carlos Alberto Canesin

Universidade Estadual Paulista
UNESP – FEIS – DEE
Cx. Postal 31 – 15385-000 – Ilha Solteira (SP)
Fax: (18) 3742 2735
e-mail: canesin@dee.feis.unesp.br
<http://www.dee.feis.unesp.br/lep/power.html>

Resumo – Este artigo apresenta, de forma resumida, as variações topológicas de uma célula de comutação ZCS-PWM, a partir da análise de suas aplicações em estágios retificadores pré-reguladores Boost controlados pela técnica de valores médios instantâneos de corrente de entrada, com o propósito de obter uma estrutura retificadora com elevados rendimento e fator de potência para alimentação monofásica de sistemas de telecomunicações. As principais características de cada uma das versões da célula de comutação são descritas, com o intuito de propiciar uma comparação qualitativa entre as estruturas analisadas. Adicionalmente, são apresentados resultados experimentais para a mais recente versão do retificador Boost ZCS-PWM, implementado para o processamento de valores nominais de 1200W de potência de saída, com 220V de tensão eficaz de alimentação, 400V de tensão média de saída e 50kHz de frequência de chaveamento.

Abstract – This paper presents a summary of different topological arrangements concerned to a ZCS-PWM commutation cell, based on the analysis of its application in Boost rectifying pre-regulators, controlled by the technique of instantaneous average values of input current, with the purpose to obtain a high input power-factor rectifier, and high efficiency to single-phase application in telecommunication systems. The main characteristics of each commutation cell are described, providing conditions to establish a qualitative comparison among the structures. In addition, experimental results are presented from a prototype of the latest version of the ZCS-PWM Boost rectifier, implemented for processing nominal values of 1200W output power and 400V average output voltage, at 220V rms input voltage and 50kHz switching frequency.

I. INTRODUÇÃO

A crescente demanda mundial por energia elétrica tem feito com que questões referentes ao planejamento de sua produção, transmissão e consumo tornem-se mais claras à população, de maneira geral. Dentro deste contexto, a adoção de políticas de racionalização do consumo de energia elétrica tem sido incentivada. Uma das formas de se racionalizar o consumo é obtida a partir do uso de equipamentos eletro-eletrônicos com processamento de energia otimizado, ou seja, equipamentos que apresentam elevados rendimento e fator de potência, caracterizando assim um melhor uso da energia elétrica. É fato que melhores rendimentos resultam

no aumento da densidade de potência destes equipamentos, possibilitando sua compactação. Em relação ao fator de potência, a obtenção de elevados valores para esta grandeza implica na redução do conteúdo harmônico das correntes drenadas por tais equipamentos da rede de corrente alternada (CA). Além disto, elevar o fator de potência de uma estrutura significa reduzir a diferença entre os valores de potência consumida (kW) e potência demandada da rede de CA (kVA), na busca da igualdade entre tais valores.

Dentre a infinidade de equipamentos eletro-eletrônicos, existem aqueles que necessitam de um estágio de entrada retificador, conectado entre a rede de alimentação em CA e a carga propriamente dita. Considerando sua configuração mais simples, o estágio retificador é geralmente composto por uma ponte de diodos associada a um capacitor de filtro de elevado valor, conforme mostra a figura 1 para uma aplicação em sistemas monofásicos. Tipicamente, equipamentos que utilizam esta configuração apresentam fator de potência bastante reduzido, da ordem de 0,6. Tal fato denota a má utilização da energia total drenada da rede de alimentação em CA.

Como uma das alternativas para a minimização deste problema, destacam-se os estudos desenvolvidos nos últimos vinte anos de estruturas retificadoras chaveadas em elevada frequência, baseadas em conversores estáticos controlados através de técnicas especiais [1 até 6], capazes de propiciar a obtenção de reduzida taxa de distorção harmônica (TDH) na corrente de entrada, além de defasagem angular desprezível entre as componentes fundamentais da tensão de alimentação e da corrente drenada da rede em CA, resultando em elevado fator de potência para a estrutura. Adicionalmente, o chaveamento em elevadas frequências permite a redução do volume e do peso dos elementos reativos empregados, possibilitando o aumento da densidade de potência processada através do estágio retificador.

Em função de restrições impostas por normas internacionais, tais como as atuais IECs 61000-3-2 e 61000-3-4, o conversor Boost é um dos conversores atuais mais utilizados para a implementação de estágios retificadores monofásicos de elevado fator de potência, conforme mostra a figura 2.

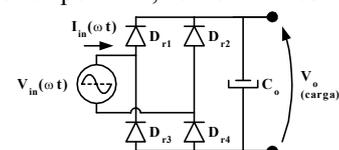


Figura 1 – Estágio retificador convencional, para sistemas monofásicos.

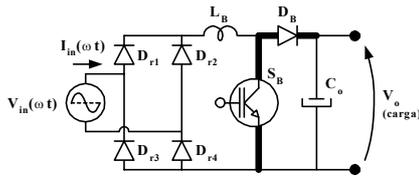


Figura 2 – Estágio retificador Boost de elevado fator de potência, para sistemas monofásicos.

Dentre as características que favorecem a escolha do conversor Boost, destacam-se a simplicidade do circuito e a presença de um filtro de corrente (L_{in}) na entrada da estrutura. Em função disto, dependendo da técnica de controle adotada para o comando do interruptor ativo S_B , torna-se possível minimizar o filtro de entrada necessário para a eliminação das componentes de elevadas frequências da corrente drenada da rede de alimentação em CA.

Apesar de proporcionar a redução do volume dos elementos reativos necessários, a operação em elevadas frequências pode acarretar problemas com relação ao rendimento da estrutura, uma vez que as perdas durante os processos de comutação dos semicondutores envolvidos são diretamente proporcionais à frequência de chaveamento à qual estão submetidos. Adicionalmente, uma vez que as tensões médias de saída da estrutura retificadora Boost são elevadas (tipicamente 400V), torna-se necessário empregar diodos Boost de elevadas tensões de ruptura e do tipo ultrarápidos (operação em elevadas frequências), resultando em perdas adicionais e problemas de interferência eletromagnética, devido à recuperação reversa.

Assim sendo, com o intuito de propiciar o aumento da frequência de operação dos conversores estáticos, sem que haja prejuízo do rendimento dos mesmos, e também em função dos problemas de recuperação reversa dos diodos, técnicas de comutação não-dissipativa têm sido desenvolvidas [7 até 15]. Basicamente, as técnicas de comutação não-dissipativas podem ser divididas em dois grandes grupos:

- técnicas de comutação com tensão nula: ZVS (*Zero Voltage Switching*) e ZVT (*Zero Voltage Transition*);
- técnicas de comutação com corrente nula: ZCS (*Zero Current Switching*) e ZCT (*Zero Current Transition*).

Cada uma das técnicas de comutação suave é obtida a partir de uma nova configuração de célula de comutação. É fato que a escolha da técnica de comutação a ser empregada depende, dentre outros fatores, do tipo de interruptor utilizado no conversor. Para o caso de semicondutores do tipo MOSFET (*Metal-Oxide-Semiconductor Field-Effect-Transistor*) recomenda-se a utilização das técnicas de comutação com tensão nula, em função das capacitâncias intrínsecas de tais dispositivos. Entretanto, o processamento de potência em níveis elevados pode acarretar perdas significativas durante o processo de condução de corrente através dos dispositivos semicondutores.

Assim sendo, por apresentarem menores perdas em condução, interruptores do tipo IGBT (*Insulated-Gate Bipolar Transistor*) tornam-se mais atrativos que interruptores do tipo MOSFET para o processamento de potência acima de 1kW e/ou tensões acima de 500V [10-12]. Contudo, os IGBTs têm como característica a existência de “corrente de cauda” durante o processo de bloqueio, fazendo com que as perdas de comutação tornem-se pronunciadas.

Para contornar tal problema, recomenda-se o emprego das técnicas de comutação com corrente nula, possibilitando então a operação em elevadas frequências.

Dentro deste contexto, uma célula de comutação ZCS-PWM (*Pulse Width Modulated*) foi proposta em [11], sendo especificamente apresentada em [12] para uma aplicação em um retificador pré-regulador Boost de elevado fator de potência para sistemas de telecomunicações, comandado pela técnica de controle de valores médios instantâneos de corrente de entrada. Diversas propostas de célula ZCS-PWM aplicadas a retificadores pré-reguladores Boost surgiram na literatura, destacando-se as células analisadas em [13] e [14]. A célula apresentada em [13] é aplicada a um conversor Boost *interleaved* operando no modo de condução crítica de corrente, com o intuito de se minimizar os efeitos de recuperação reversa do diodo Boost sobre o interruptor principal. Já a célula apresentada em [14] possui um indutor ressonante em série com o caminho da corrente transferida à carga, implicando em perdas adicionais neste elemento. Portanto, para a aplicação de técnicas de controle no modo de condução contínua, com minimização dos efeitos de recuperação reversa do diodo Boost sobre os interruptores ativos, a célula apresentada em [11] ainda representa uma escolha adequada. Neste contexto, desde a proposição da célula original [11], três diferentes versões foram sequencialmente propostas [15 e 16, 17 e 18, 19], cada uma delas mantendo as principais características de comutação suave nos elementos semicondutores empregados e trazendo melhorias adicionais a cada modificação, com a finalidade de elevar o rendimento da estrutura e permitir a redução dos esforços nos semicondutores. Desta forma, este artigo apresenta a seqüência de modificações incorporadas à célula ZCS-PWM original, provendo subsídios para uma comparação aprimorada entre as principais características das diferentes versões propostas, aplicadas a um retificador pré-regulador Boost de elevado fator de potência para sistemas de telecomunicações.

II. CÉLULA ORIGINAL DE COMUTAÇÃO ZCS-PWM

A figura 3 mostra a célula original de comutação ZCS-PWM [12], aplicada a um retificador Boost. Com base nesta figura, é possível notar que a célula de comutação proposta apresenta dois interruptores ativos bidirecionais em corrente (S_1 e S_2), dois diodos (D_1 e D_2), dois pequenos indutores ressonantes (L_{r1} e L_{r2}) e um capacitor ressonante (C_r).

As etapas de funcionamento para o circuito simplificado e as principais formas de onda teóricas associadas a este estágio retificador são mostradas na figura 4.

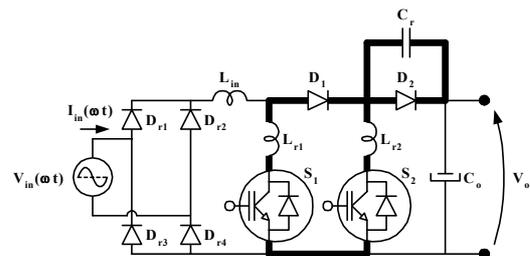


Figura 3 – Estágio retificador Boost, empregando a célula de comutação ZCS-PWM original [12].

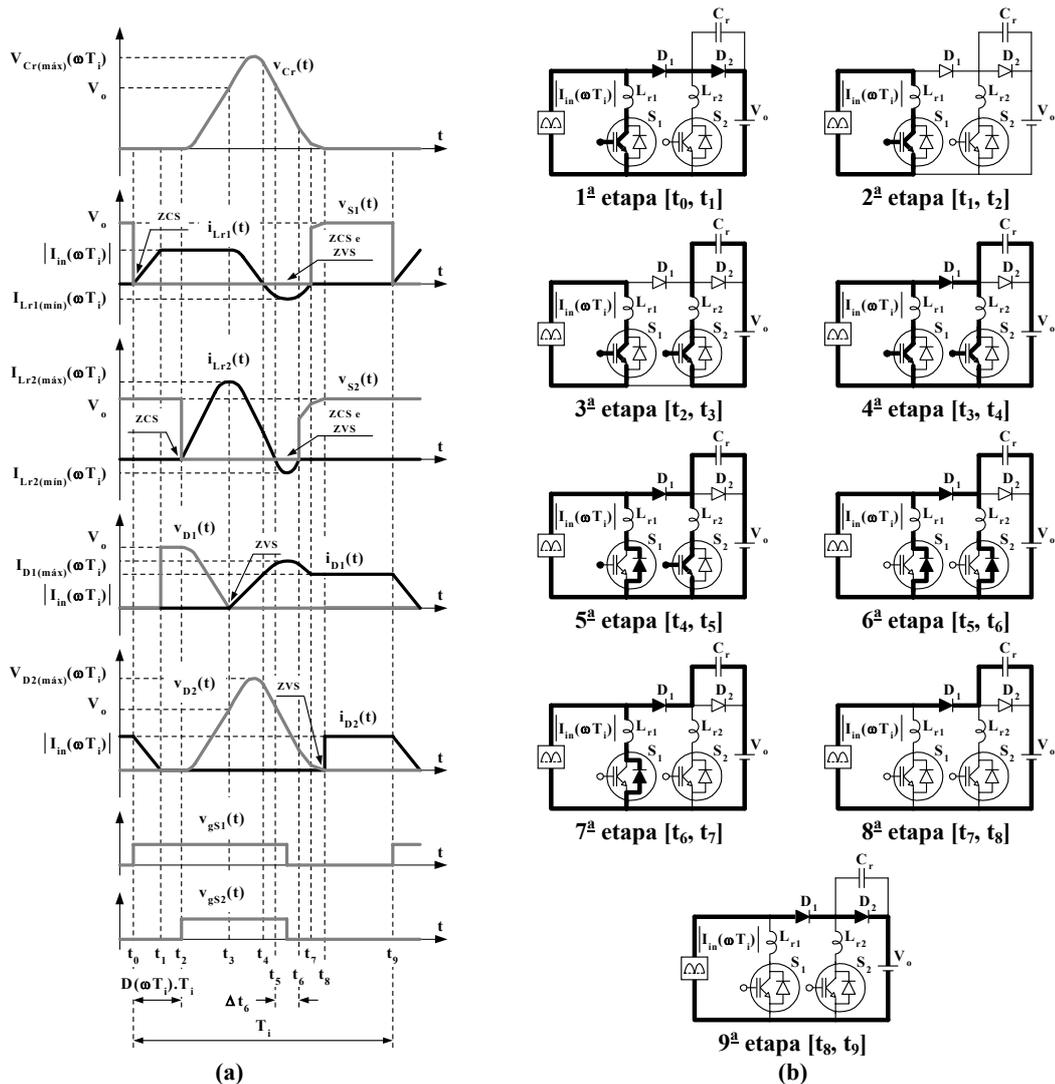


Figura 4 – (a) Principais formas de ondas idealizadas; e (b) Etapas de funcionamento do retificador Boost ZCS-PWM com elevado fator de potência [12], durante um período genérico de chaveamento (T_i).

De acordo com a figura 4, os interruptores S_1 e S_2 são comandados à condução de forma ZCS, em $t=t_0$ e $t=t_3$, respectivamente. Tal fato ocorre devido à presença dos indutores L_{r1} e L_{r2} , os quais limitam as derivadas das correntes em seus respectivos ramos. Adicionalmente, S_1 e S_2 são bloqueados, simultaneamente, durante o intervalo de tempo Δt_6 , de forma ZCS e ZVS. Com relação aos diodos D_1 e D_2 , nota-se que seus processos de entrada em condução ocorrem de forma ZVS e os efeitos de recuperação reversa sobre os interruptores ativos são minimizados.

Resultados experimentais apresentados em [12] mostram que a correção do fator de potência da estrutura pode ser realizada através da técnica de controle por valores médios instantâneos de corrente de entrada, mantendo-se as características das comutações suaves nos dispositivos semicondutores, durante todo um período da rede de alimentação em CA.

Apesar do bom desempenho verificado nesta topologia, a célula de comutação proposta apresenta duas características que podem ser apontadas como desvantagens. A primeira delas relaciona-se com o emprego da célula em outros conversores. Conforme [15], a aplicação da célula ZCS-PWM original nos conversores Buck-Boost, Sepic e Zeta

impossibilita a obtenção de isolamento “natural” através dos indutores de acumulação destas estruturas. A segunda desvantagem é verificada no próprio conversor Boost, onde é possível notar que os diodos D_1 e D_2 conduzem simultaneamente a corrente que flui da fonte de alimentação para a carga, durante a primeira e a nona etapas. Desta forma as perdas em condução associadas a estes componentes podem se tornar significativas, dependendo do valor da corrente processada através dos mesmos.

III. PRIMEIRA VARIAÇÃO TOPOLÓGICA DA CÉLULA DE COMUTAÇÃO ZCS-PWM

Em conformidade com [15], com o intuito de se eliminar a desvantagem referente à obtenção de isolamento “natural” das estruturas Buck-Boost, Sepic e Zeta, propõe-se então uma alteração na célula de comutação ZCS-PWM original, resultando na topologia apresentada na figura 5. Nesta estrutura, quando comparada à célula original, a seqüência das etapas de funcionamento não sofre alterações. No entanto, a ressonância ocorre sem que haja a necessidade de fluxo da corrente ressonante através do capacitor de filtro da tensão de saída, como mostra a figura 6.

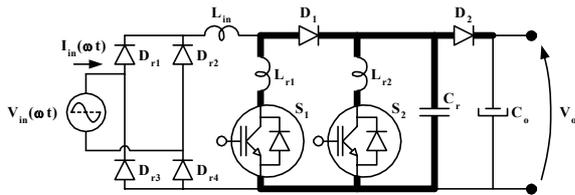


Figura 5 – Estágio retificador Boost, empregando a primeira variação da célula ZCS-PWM [15].

As formas de ondas desta versão do conversor são idênticas àquelas apresentadas para a célula original, à exceção da tensão sobre C_r , que passa a evoluir conforme a figura 7. Nota-se na figura 7 que a máxima tensão sobre o capacitor ressonante é menor do que aquela verificada para o mesmo elemento na célula original, apesar do valor pico-a-pico ter permanecido inalterado. Desta forma, pode-se afirmar que a variação proposta para a célula original pode propiciar a redução de custos associados ao elemento C_r , em função do menor nível de isolamento de tensão requerido. A exemplo da célula ZCS-PWM original, resultados experimentais para um protótipo implementado confirmam a correção do fator de potência e obtenção de elevado rendimento a partir da estrutura proposta, conforme [15-16]. Entretanto, em comparação com a célula ZCS-PWM original, a conexão série entre os diodos D_1 e D_2 durante a etapa de transferência de energia à carga é mantida, sendo esta a sua grande desvantagem. Entretanto, em [16] é apresentada a aplicação desta mesma célula em um retificador Zeta, a partir do qual é possível verificar que os diodos D_1 e D_2 não conduzem de forma simultânea a corrente de carga.

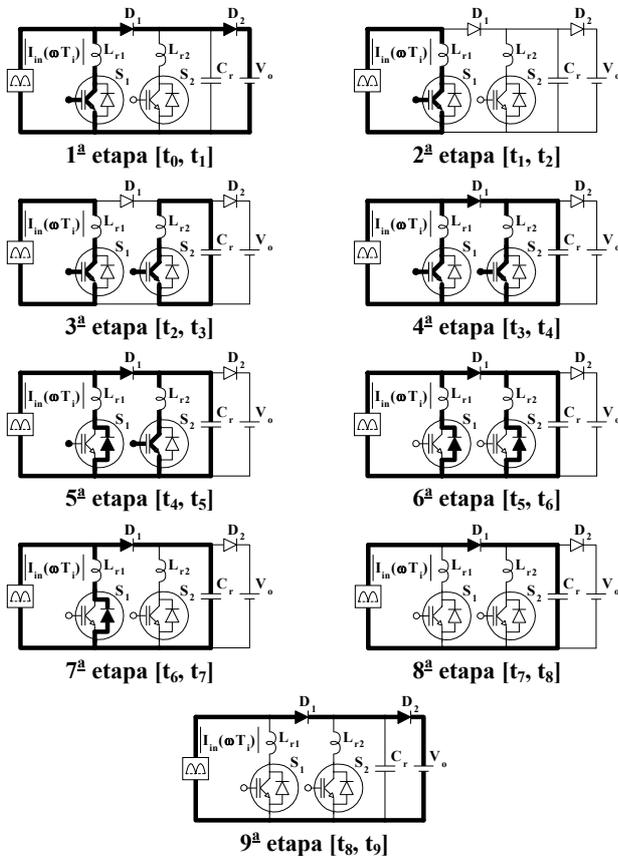


Figura 6 – Etapas de funcionamento do retificador Boost empregando a primeira variação da célula ZCS-PWM [15], durante um período genérico de chaveamento (T_i).

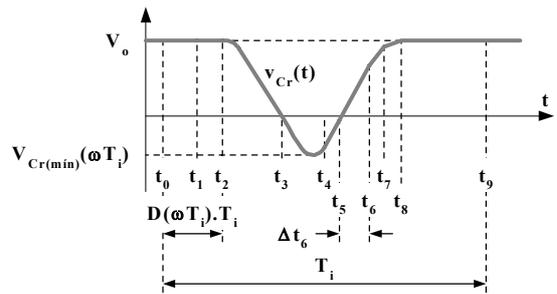


Figura 7 – Forma de onda idealizada da tensão sobre o capacitor ressonante da primeira variação da célula ZCS-PWM [15], durante um período genérico de chaveamento (T_i).

IV. SEGUNDA VARIAÇÃO TOPOLÓGICA DA CÉLULA DE COMUTAÇÃO ZCS-PWM

Em função da aplicação explorada em [16], uma segunda variação topológica para a célula original é proposta em [17]. Esta célula é empregada em um estágio retificador isolado Sepic ZCS-PWM de elevado fator de potência, aplicado a reatores eletrônicos para múltiplas lâmpadas fluorescentes [17], e em sua versão não isolada em [18]. Entretanto, tal célula de comutação exige a implementação de circuitos de acionamento (ataque de “gate”) isolados, implicando em maior complexidade e custo para o comando. Para solucionar tal problema, em [19] é proposta uma modificação na configuração da célula, na qual os interruptores ativos do estágio retificador apresentam referência comum. É fato que a célula apresentada em [19] pode ser diretamente aplicada para a implementação de um retificador Boost ZCS-PWM, tendo em vista as similaridades de funcionamento com o conversor Sepic ZCS-PWM proposto. A figura 8 apresenta o diagrama esquemático do novo retificador proposto.

As etapas de funcionamento do retificador Boost ZCS-PWM mostrado na figura 8 são apresentadas na figura 9.

A figura 10 mostra as formas de onda idealizadas das correntes e tensões nos diodos D_1 e D_2 . As formas de ondas restantes permanecem idênticas àquelas verificadas na primeira variação topológica da célula ZCS-PWM.

Comparando-se as etapas de funcionamento da figura 9 com as etapas do conversor Boost predecessor, mostradas na figura 6, é possível observar que existem diferenças apenas entre as etapas 1 e 9. Entretanto, vale lembrar que, em ambos os conversores, a transferência de energia à carga ocorre durante estas duas etapas, sendo que a etapa 9 é responsável pela maior parte desta transferência. Assim sendo, é fato que a eliminação da conexão série entre os diodos D_1 e D_2 na versão da célula mostrada na figura 8 representa então uma grande vantagem com relação à minimização das perdas em condução associadas a D_1 .

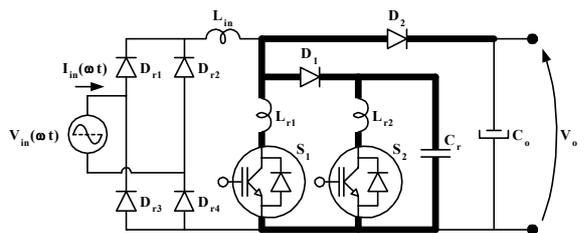


Figura 8 – Estágio retificador Boost, empregando a segunda variação da célula ZCS-PWM [19].

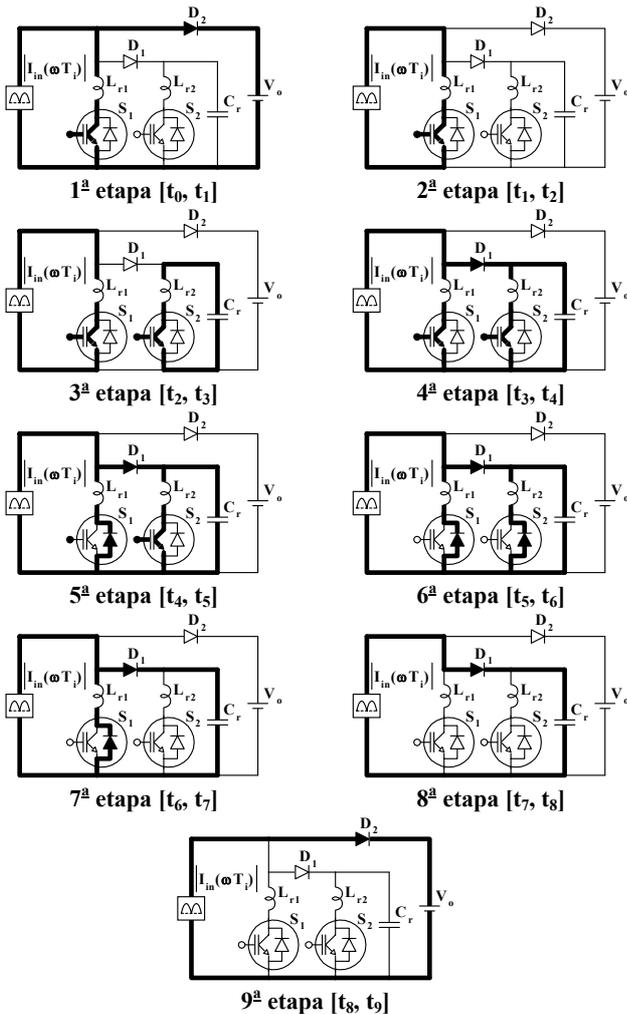


Figura 9 – Etapas de funcionamento do retificador Boost empregando a segunda variação da célula ZCS-PWM [19], durante um período genérico de chaveamento (T_i).

A Tabela I mostra, de forma resumida, uma comparação entre as principais características das células de comutação ZCS-PWM analisadas. De acordo com esta tabela, é fácil notar a evolução na configuração da célula proposta, possibilitando o isolamento “natural” dos conversores Buck-Boost, Sepic e Zeta, além da eliminação da conexão série dos diodos D_1 e D_2 .

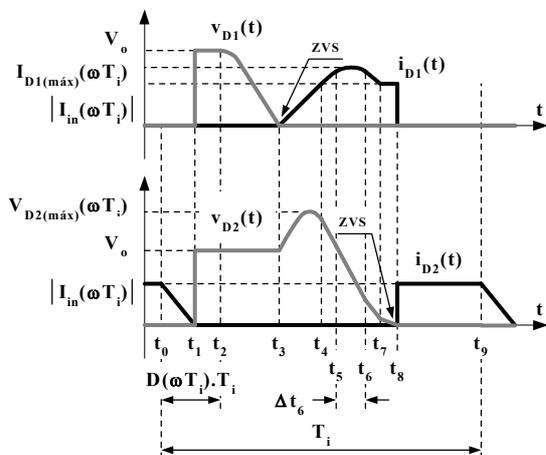
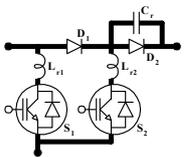
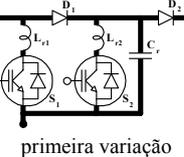
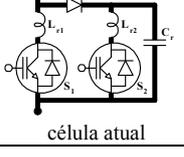


Figura 10 – Formas de ondas idealizadas das comutações dos diodos D_1 e D_2 da segunda variação da célula ZCS-PWM [19], durante um período genérico de chaveamento (T_i).

TABELA I
Principais Características das Células ZCS-PWM Analisadas

Característica	Fluxo da Corrente Ressonante Através da Carga	Possibilidade de Isolamento das Estruturas Buck-Boost, Sepic e Zeta	Conexão Série dos Diodos
Tipo de Célula			
 célula original	Sim	Não	Sim
 primeira variação	Não	Sim	Sim
 célula atual	Não	Sim	Não

III. EXEMPLO DE PROJETO E RESULTADOS EXPERIMENTAIS

Para demonstrar a validade da análise desenvolvida, um protótipo do retificador Boost apresentado na figura 8 é implementado, sendo que o circuito de comando para correção do fator de potência é baseado no controlador UC3854 [5], dedicado à técnica por valores médios instantâneos de corrente de entrada.

As principais equações de projeto deste retificador Boost são descritas a seguir. Com o intuito de se garantir a obtenção de comutação ZCS para os interruptores ativos S_1 e S_2 , conforme descrito anteriormente, é necessário que as restrições impostas pelas inequações (1) e (2) sejam conjuntamente satisfeitas.

$$\beta = \frac{L_{r2}}{L_{r1}} < 1 \quad (1)$$

$$\alpha_{\max} = \frac{I_{in(p)}}{V_o} \cdot \sqrt{\frac{L_{r2}}{C_r}} < \beta \quad (2)$$

sendo: $I_{in(p)}$ = valor de pico da corrente de entrada.

O atendimento das restrições (1) e (2) torna possível o emprego da técnica de controle por valores médios instantâneos de corrente de entrada mantendo-se as comutações suaves da célula ZCS-PWM durante o decorrer de todo um período de rede de CA.

A característica de saída do conversor Boost ZCS-PWM é obtida através de (3).

$$q = \frac{V_o}{V_{in(ef)}} = \frac{1}{1-F} \quad (3)$$

$$\text{sendo: } F = D_{(ef)} + \frac{f}{2\pi} \left[A_0 - \frac{1}{\alpha_{(ef)}} \cdot (A_1 + A_2) + A_3 - \frac{\alpha_{(ef)}}{2\beta} \right] \quad (4)$$

$D_{(ef)}$ = razão cíclica de controle para valores eficazes de tensão de alimentação

$$f = \frac{2\pi f_B}{\omega_2} = 2\pi f_B \sqrt{L_{r2} \cdot C_r} \quad (5)$$

$$A_0 = \frac{1}{\alpha_{(ef)}} + \frac{\pi}{2} + \frac{2\pi}{\sqrt{1+\beta}} \quad (6)$$

$$A_1 = \sqrt{\beta} \cdot \left(\sqrt{\beta - \alpha_{(ef)}^2} - \alpha_{(ef)} \sqrt{\frac{1-\beta}{\beta}} \right) \quad (7)$$

$$A_2 = \sqrt{1-\beta} \sqrt{1 - \frac{(A_1)^2}{\beta}} \quad (8)$$

$$A_3 = \frac{\sqrt{\beta}}{\beta} \arcsen\left(\frac{\sqrt{\beta}}{\beta} \cdot A_1\right) - \frac{\sqrt{1+\beta}}{1+\beta} \arccos(-\beta) \quad (9)$$

Recomenda-se que valores para β e f sejam adotados de tal forma que proporcionem a obtenção de reduzida influência da ressonância sobre a regulação da tensão de saída, além de evitar a ocorrência dos problemas relacionados a elevadas frequências de ressonância, resultando em perdas mais acentuadas nos elementos magnéticos e problemas de interferência eletromagnética.

A. Exemplo de Projeto do Novo Retificador Boost ZCS-PWM com Elevado Fator de Potência

O projeto do novo retificador Boost ZCS-PWM é desenvolvido a partir dos dados de entrada e saída definidos na Tabela II

A obtenção dos valores dos elementos ressonantes é realizada com base na adoção dos seguintes parâmetros:

$$\beta=0,625; f=0,147 \text{ e } \alpha_{\max}=0,51.$$

Utilizando-se os valores acima adotados e com o uso das equações (1) a (9), são então determinados:

$$C_r=22\text{nF}; L_{r1}=16\mu\text{H} \text{ e } L_{r2}=10\mu\text{H}.$$

O filtro de entrada (L_{in}) é projetado para que o ripple da corrente de entrada fique limitado a 10% de seu valor nominal de pico. Quanto ao filtro de saída (C_o), seu valor é determinado para que a tensão de saída do conversor apresente um ripple inferior a 2% de seu valor médio nominal. Assim sendo, são especificados:

$$L_{in}=3\text{mH} \text{ e } C_o=680\mu\text{F}.$$

O projeto dos parâmetros externos do controlador UC3854 é realizado de acordo com [5]. A lógica de acionamento dos interruptores S_1 e S_2 é composta a partir do diagrama de blocos da figura 11.

B. Resultados Experimentais

Resultados experimentais obtidos para um protótipo do retificador Boost da figura 8 são apresentados na seqüência. Para a implementação do protótipo, os dispositivos semicondutores foram especificados conforme a Tabela III.

As formas de ondas da corrente de entrada e da tensão de alimentação do retificador, para condições nominais de operação, são mostradas na figura 12.a. A figura 12.b mostra

TABELA II

Dados de Entrada e Saída do Retificador Boost ZCS-PWM

Tensão eficaz de alimentação ($V_{in(ef)}$)	220V \pm 15%
Frequência de oscilação da rede de alimentação em CA (f_{CA})	60Hz
Frequência de chaveamento do retificador Boost (f_B)	50kHz
Valor médio da tensão de saída CC do retificador (V_o)	400V
Potência nominal de saída (P_o)	1200W
Mínimo rendimento adotado ($\eta\%$)	95%

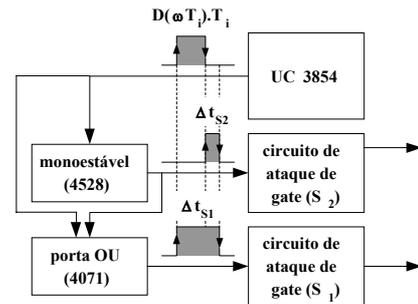
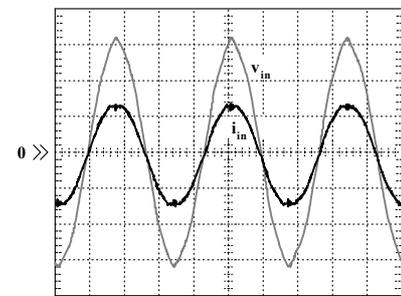


Figura 11 – Diagrama de blocos da lógica de acionamento dos interruptores S_1 e S_2 .

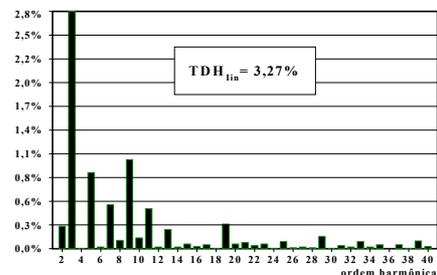
TABELA III

Dispositivos Semicondutores empregados no Protótipo

Ponte Retificadora	D_{r1}, D_{r2}	SKR25/06
	D_{r3}, D_{r4}	SKN25/06
Interruptor Principal	S_1	IRG4PH50UD
Interruptor Auxiliar	S_2	IRG4PC50UD
Diodo de Equalização	D_1	MUR8100E
Diodo Boost	D_2	MUR8100E



i_{in} : 5A/div; 5ms/div
 v_{in} : 100V/div; 5ms/div
(a)



(b)

Figura 12 – (a) Tensão de alimentação e corrente de entrada, e (b) espectro de frequências de I_{in} , para carga nominal.

o espectro de frequências para a corrente de entrada, sendo que sua TDH é igual a 3,27% e o fator de potência da estrutura nesta condição é de aproximadamente 0,986, para uma TDH da tensão de alimentação medida de 2,10%.

A Figura 13 mostra os detalhes das comutações dos semicondutores empregados no retificador Boost ZCS-PWM.

Os resultados mostrados na figura 13 foram obtidos para as situações em que o valor instantâneo da tensão de alimentação é próximo de zero ($V_{in}(\omega t) \approx 0$) e próximo ao valor de pico ($V_{in}(\omega t) \approx V_{in(p)}$), para a operação nominal.

De acordo com a figura 13, nota-se que os interruptores S_1 e S_2 entram em condução de forma ZCS e são bloqueados de forma ZCS e ZVS, sendo que tais comutações são preservadas durante o decorrer de todo um período de rede em CA, conforme esperado.

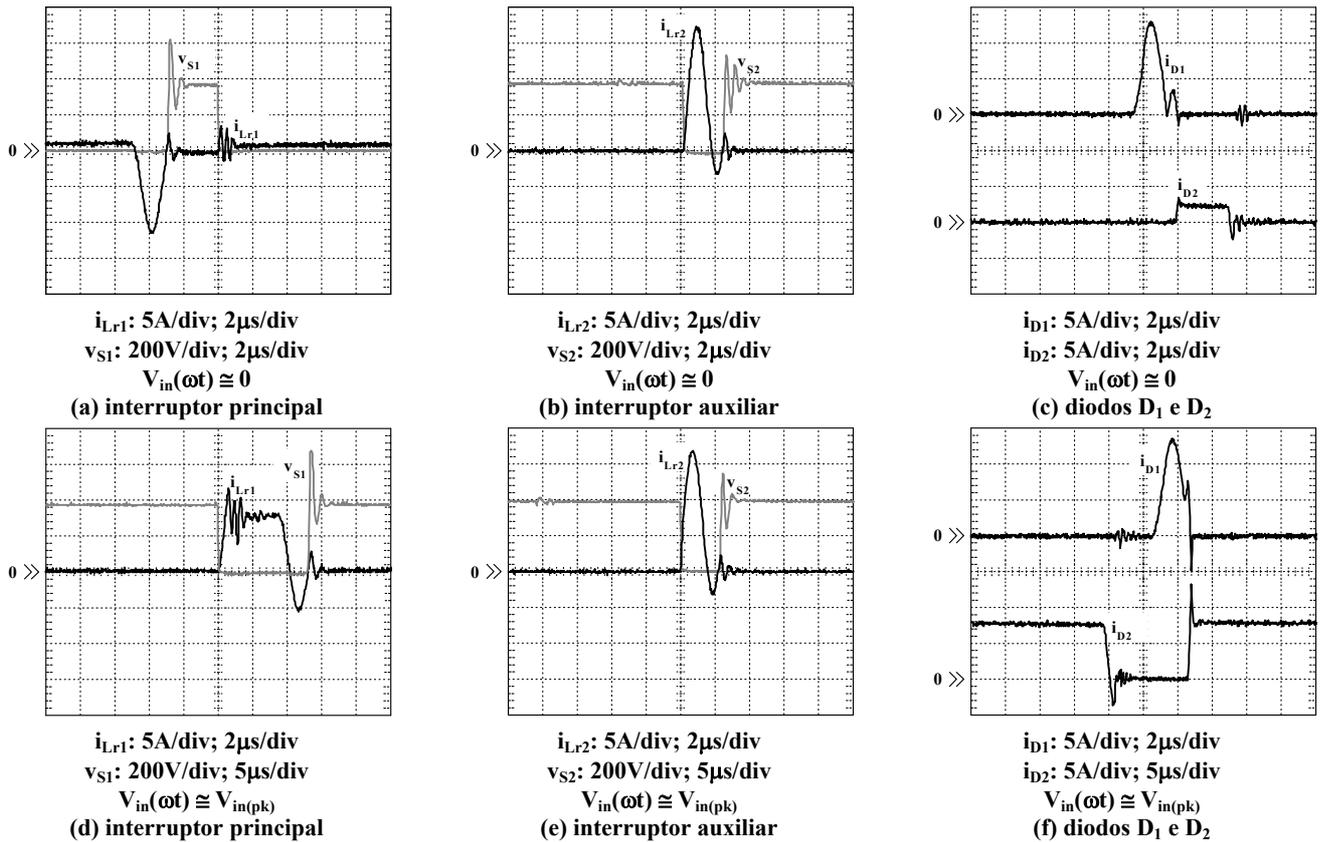


Figura 13 – Formas de ondas de tensão e corrente através dos dispositivos semicondutores, para operação em condições nominais.

Ainda na figura 13, observa-se que os diodos D_1 e D_2 não apresentam condução simultânea de corrente, caracterizando a redução das perdas em condução associadas a D_1 , em relação às outras versões da célula de comutação ZCS-PWM.

Em função de todos estes fatos, o rendimento da estrutura deve resultar bastante elevado.

A figura 14 mostra uma comparação entre valores de rendimentos medidos para protótipos de pré-reguladores Boost empregando três diferentes células de comutação, a saber: célula “hard” (Fig. 2), primeira variação da célula ZCS-PWM [15] e versão atual da célula ZCS-PWM [19]. Todos os protótipos foram implementados de acordo com os dados das Tabelas II e III e os instrumentos utilizados para a obtenção das medidas foram voltímetros e amperímetros Yokogawa, classe 0,5%.

Com base nos resultados da figura 14, é possível notar a elevação no rendimento do pré-regulador Boost, em função da utilização da célula ZCS-PWM sem a conexão série entre os diodos D_1 e D_2 . Tendo em vista que a energia destinada à ressonância é constante nas células ZCS-PWM analisadas,

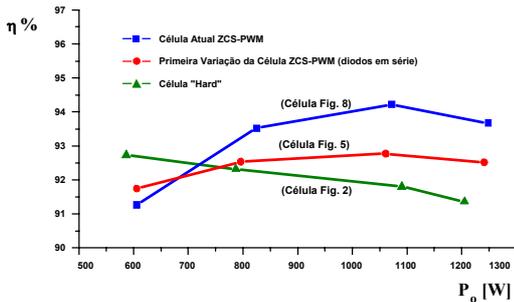


Figura 14 – Comparação entre valores de rendimento medidos.

o rendimento dos pré-reguladores que empregam tais células tende a diminuir, conforme a carga conectada à saída também diminui, diferentemente do pré-regulador com célula “hard”, onde a redução dos esforços de corrente e a conseqüente redução das perdas em condução levam a um aumento do rendimento, quando do processamento de menores cargas.

V. CONCLUSÕES

Este artigo apresentou um resumo sobre a evolução de uma célula de comutação ZCS-PWM aplicada a estágios retificadores Boost de elevado fator de potência.

As principais características de cada uma das células são apresentadas e discutidas, provendo informações suficientes para uma comparação detalhada entre as estruturas propostas.

A célula ZCS-PWM original apresenta como limitação o fato de não permitir o isolamento das estruturas Buck-Boost, Sepic e Zeta através de seus indutores de acumulação, além de possuir uma etapa de funcionamento em que a corrente da fonte de alimentação flui para a carga através de dois diodos conectados em série. A proposição das versões subsequentes da célula ZCS-PWM possibilitou, gradativamente, a eliminação das desvantagens apontadas na célula original, mantendo-se todas as características de comutações não-dissipativas nos dispositivos semicondutores utilizados.

Um protótipo do retificador Boost empregando a última versão da célula ZCS-PWM foi implementado para a verificação da análise desenvolvida. A partir dos resultados obtidos, conclui-se que a estrutura proposta opera conforme esperado, propiciando comutações suaves em todos os

dispositivos semicondutores, além da eliminação da conexão série dos diodos D_1 e D_2 .

A técnica de controle por valores médios de corrente de entrada é empregada com sucesso no estágio retificador Boost ZCS-PWM projetado, fornecendo reduzida TDH e defasagem angular desprezível na corrente de entrada, em relação à tensão de alimentação em CA, resultando em fator de potência praticamente unitário.

A respeito do rendimento da estrutura, o resultado obtido para carga nominal, considerando-se os semicondutores empregados e a instrumentação utilizada para análise, mostrou-se elevado.

Por fim, a obtenção de elevado rendimento e fator de potência praticamente unitário denota o excelente aproveitamento da energia drenada da rede de alimentação em CA, em função do emprego da estrutura proposta.

AGRADECIMENTOS

Os autores agradecem à FAPESP pelo apoio concedido ao desenvolvimento deste trabalho.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M. J. Korcher e R. L. Steigerwald, "An AC-to-DC Converter with High Quality Input Waveforms", Anais do IEEE PESC, 1982, pp. 63-75.
- [2] M. F. Schlecht e B. A. Miwa, "Active Power Factor Correction for Switching Power Supplies", IEEE Transactions on Power Electronics, Outubro, 1987, pp. 273-281.
- [3] K. Sen e A. E. Emanuel, "Unity Power Factor Single Phase Power Conditioning", Anais do IEEE PESC, 1987, pp. 516-524.
- [4] R. Erickson, M. Madigan e S. Singer, "Design of a Simple High-Power-Factor Rectifier based on the Flyback Converter", Anais do IEEE APEC, 1990, pp. 792-801.
- [5] C. S. E. Silva, "Power Factor Correction with the UC3854", Application Note U125, Unitrode Corporation, 1990, pp 287-296.
- [6] C. A. Canesin e I. Barbi, "A Unity Power-Factor-Multiple isolated Outputs Switching Mode Power Supply using a Single Switch", Anais do IEEE APEC, 1991, pp. 430-436.
- [7] S. A. O. da Silva e I. Barbi, "Sinusoidal Line Current Rectification at Unity Power Factor with Boost Quasi Resonant Converter", Anais do IEEE APEC, 1990, pp. 553-562.
- [8] R. Streit e D. Tollik, "High Efficiency Telecom Rectifier using a Novel Soft-Switched Boost-Based Input Current Shaper", Anais do IEEE INTELEC, 1991, pp. 720-726.
- [9] G. Hua, C. S. Leu e F. C. Lee, "Novel Zero-Voltage-Transition PWM Converters", Anais do IEEE PESC, 1992, pp. 55-61.
- [10] K. Wang, G. Hua, e F. C. Lee, "Analysis, Design and Experimental Results of ZCS-PWM Boost Converters", Anais do IEEE IPEC, 1995, pp. 1197-1202.
- [11] C. A. Canesin e I. Barbi, "Comparison of Experimental Losses among Six Different Topologies for a 1.6kW Boost Converter, using IGBTs", Anais do IEEE PESC, 1995, pp. 1265-1271.
- [12] C. A. Canesin e I. Barbi, "Um Novo Pré-Regulador com Elevado Fator de potência e Comutação ZCS-PWM para Fontes de Alimentação de Sistemas de Telecomunicações", Anais do COBEP, Belo Horizonte (MG), 1997, pp. 153-158.
- [13] C. M. O. Stein, J. R. Pinheiro, H. L. Hey, "Application of the ZCS-Auxiliary Commutation Circuits in Interleaved Boost Converters operating in Critical Conduction Mode", Anais do IEEE APEC, 2000, CD-ROM
- [14] H. Choi e B. H. Cho, "Zero-Current-Switching (ZCS) Power Factor Pre-regulator (PFP) with Reduced Conduction Losses" Anais do IEEE APEC, 2002, CD-ROM
- [15] F. T. Wakabayashi e C. A. Canesin, "A New Family of Zero-Current-Switching PWM Converters and a Novel HPF-ZCS-PWM Boost Rectifier", Anais do IEEE APEC, 1999, pp. 605-611.
- [16] F. T. Wakabayashi, M. J. Bonato e C. A. Canesin, "Novel High-Power-Factor ZCS-PWM Preregulators", IEEE Transactions on Industrial Electronics, vol. 48, nº 2, 2001, pp. 322-333.
- [17] F. T. Wakabayashi e C. A. Canesin, "Novel High-Power-Factor Isolated Electronic Ballast for Multiple Tubular Fluorescent Lamps", Anais do IEEE IAS Annual Meeting, 2001, CD-ROM.
- [18] F. T. Wakabayashi e C. A. Canesin, "Novo Reator Eletrônico com Elevado Fator de Potência para Múltiplas Lâmpadas Fluorescentes Tubulares", Revista Eletrônica de Potência, vol. 6, nº 1, 2001, pp. 16-24.
- [19] F. T. Wakabayashi e C. A. Canesin, "A High Efficiency HPF-ZCS-PWM Sepic for Electronic Ballast with Multiple Tubular Fluorescent Lamps", Anais do IEEE APEC, 2002, pp. 924- 930.

DADOS BIOGRÁFICOS

Fabio Toshiaki Wakabayashi, nascido em Jales (SP), em Julho de 1974, é engenheiro eletricista (1996) e mestre em Engenharia Elétrica (1998), formado na Universidade Estadual Paulista – Faculdade de Engenharia de Ilha Solteira (UNESP-FEIS, Ilha Solteira (SP)), onde atualmente desenvolve o doutorado em Eletrônica de Potência. Suas áreas de interesse abrangem técnicas de comutação não-dissipativa, fontes de alimentação chaveadas, qualidade de energia elétrica e reatores eletrônicos para iluminação.

Carlos Alberto Canesin, nascido em Lavínia (SP), em 1961, é engenheiro eletricista (1984) pela Universidade Estadual Paulista – Faculdade de Engenharia de Ilha Solteira (UNESP-FEIS, Ilha Solteira (SP)), mestre (1990) e doutor (1996) em Engenharia Elétrica pela Universidade Federal de Santa Catarina – Instituto de Eletrônica de Potência (UFSC-INEP), Florianópolis (SC). Atualmente é professor adjunto efetivo do Departamento de Engenharia Elétrica (DEE) da UNESP-FEIS. Suas áreas de interesse incluem técnicas de comutação não-dissipativa, conversores CC/CC, fontes de alimentação chaveadas, reatores para iluminação e técnicas de correção do fator de potência.

NORMAS PARA PUBLICAÇÃO DE TRABALHOS NA REVISTA ELETRÔNICA DE POTÊNCIA

Fulano de Tal
e-mail: fulano@detal.br
Universidade de Tal
C.P. 000
CEP 00000-000 Cidade de Tal - XX
Brasil

Resumo - O objetivo deste documento é instruir os autores sobre a preparação dos trabalhos para publicação na revista Eletrônica de Potência. Solicita-se aos autores que utilizem estas normas quando da elaboração da versão final de seus trabalhos. Sugestões são bem vindas e devem ser enviadas ao editor. Informações adicionais sobre procedimentos e normas podem ser obtidas também diretamente com o editor. Este texto foi redigido segundo as normas nele contidas.

Abstract – The objective of this document is to instruct the authors about the preparation of the paper for its publication on the Eletrônica de Potência journal. The authors should use these guidelines for preparing the final version of their article. Suggestions are welcome and can be sent to the editor. Additional information about procedures and guidelines can be obtained directly with the editor. This text was written according to these guidelines.

NOMENCLATURA

p	Número de par de pólos.
v_{qd}	Componentes da tensão de estator.
i_{qd}	Componentes da corrente de estator.

I. INTRODUÇÃO

No processo inicial de submissão, os autores devem enviar ao editor quatro cópias do trabalho. O texto deve ser escrito em português, e preferencialmente digitado em duas colunas por página, de acordo com as prescrições desta norma. No caso de autores estrangeiros, serão aceitos trabalhos em inglês ou espanhol. Os textos submetidos em português e espanhol devem conter também o abstract.

Caso seja pertinente, deve ser incluída imediatamente após o resumo uma nomenclatura das variáveis utilizadas no texto. Este item não deve levar numeração de referência, assim como os itens agradecimentos, referências bibliográficas e dados biográficos.

Os autores que forem notificados da aceitação de seu trabalho, devem enviar para o editor, dentro de um prazo máximo de 40 dias, o seguinte material:

- 1) Uma cópia do trabalho original que foi submetido à revista e uma cópia do trabalho revisado onde devem ter

sido incluídas as revisões indicadas pelos revisores. Obrigatoriamente, a cópia do trabalho revisado deverá obedecer às presentes normas.

- 2) Caso o trabalho, ou parte dele, já tenha sido apresentado e publicado em alguma revista ou conferência, nacional ou internacional, deve ser enviado ao editor da revista uma declaração dos autores com estas informações (quando e onde). Caso o trabalho nunca tenha sido publicado na sua totalidade, deve ser enviada ao editor da revista uma declaração com tal informação.

- 3) Nome do autor que assumirá a responsabilidade de receber (e enviar) informações do (para o) editor da revista.

- 4) Endereço completo do autor correspondente, incluindo fax, telefone e e-mail (se houver). Caso o autor correspondente troque de endereço, antes do trabalho ter sido publicado na revista, o editor deve ser comunicado o mais rápido possível.

Toda troca de correspondência entre o autor e o editor da revista, deve incluir o nome do trabalho e o código de referência.

Por segurança, o autor correspondente deve manter sob seus cuidados uma cópia dos manuscritos, revisões, correspondências e materiais que permitam refazer o trabalho em caso de extravio. Após o manuscrito revisado estar pronto para ser enviado à revista, o autor correspondente deve manter em seu poder, uma cópia de excelente qualidade do mesmo.

A. Apresentação do Texto

Apenas excepcionalmente serão aceitos trabalhos com o ultrapassando 8 (oito) páginas. Isto poderá ocorrer, a critério do editor, caso o trabalho tenha um caráter tutorial.

Deve-se usar, obrigatoriamente, as unidades do Sistema Internacional (SI ou MKS).

Cabe ao(s) autor(es) do trabalho a preparação dos originais e, posteriormente, seu envio ao editor, de acordo com estas normas. Os trabalhos que estiverem fora dos padrões estabelecidos serão devolvidos aos autores para as devidas correções. A comissão Editorial não assumirá qualquer responsabilidade quanto a correções, e possíveis erros da reprodução dos originais para publicação.

B. Edição do Texto

A editoração dos trabalhos deve ser feita em folhas com formato A4 (297 mm x 210 mm) que apresentem uma

Nota de rodapé na página inicial poderá ser utilizada apenas pelo editor para indicar o andamento do processo de revisão.

qualidade adequada para reprodução. Deve-se utilizar impressão a laser ou de qualidade equivalente. A numeração das páginas deverá ser feita a lápis na margem inferior do verso das folhas.

O espaçamento entre linhas deve ser simples, e a cada título ou subtítulo, deve-se deixar uma linha em branco.

Como processador de texto, estimula-se o uso do processador *Word for Windows*.

1) *Tamanho das letras utilizadas no trabalho*: Os tamanhos das letras especificadas nesta norma, seguem o padrão do processador *Word for Windows* e o tipo de letra utilizado é *Times New Roman*. A Tabela I mostra os tamanhos padrões de letras utilizadas nas diversas seções do trabalho.

TABELA I
Tamanhos e Tipos de Letras Utilizadas no Texto

Tamanho (pontos)	Estilo		
	Normal	Cheia	Itálica
8	texto de tabelas		
9	legendas de figuras		
10	instituição dos autores, texto em geral.	texto do resumo títulos de tabelas	título do resumo e subtítulos
12	nomes dos autores		
14		título do trabalho	

2) *Formatação das páginas*: Na formatação das páginas, as margens superior e inferior deverão ser fixadas em 25 mm, a margem esquerda em 18 mm e a margem direita em 12 mm. As colunas de textos deverão apresentar uma largura igual a 87 mm e um espaçamento entre si de 6 mm. A tabulação a ser utilizada na primeira linha dos parágrafos deverá ser fixada em 4 mm.

II. ESTILO DO TRABALHO

A. Organização Geral

Os trabalhos a serem publicados na revista devem conter 8 partes principais, a saber: 1) Título; 2) Autores e Instituições de origem; 3) Resumo e Abstract; 4) Introdução; 5) Corpo do trabalho; 6) Conclusões; 7) Referências Bibliográficas; 8) Dados Biográficos. Esta ordem deve ser respeitada, a menos que os autores usem alguns itens adicionais, a saber: 9) Nomenclatura; 10) Apêndices; 11) Agradecimentos.

Como regra geral, as conclusões devem vir logo após o corpo do trabalho e imediatamente antes das referências bibliográficas. A seguir serão feitos alguns comentários sobre cada um dos itens acima mencionados.

1) *Título* - O título do trabalho deve ser o mais sucinto possível, indicando claramente o assunto de que se trata. Deve estar centrado no topo da primeira página, sendo impresso em negrito, tamanho 14 pontos, com todas as letras em maiúsculo.

2) *Autores e Instituições de Origem* - Abaixo do título do trabalho, também centrados na página, devem ser informados os nomes dos autores e da(s) instituição(ões) a que pertencem. Poderão ser abreviados os nomes e sobrenomes

intermediários e escritos na sua forma completa o primeiro nome e o último sobrenome (letras do tipo 12 pontos). Imediatamente abaixo do nome dos autores, informar as instituições a que pertencem e os endereços completos (letras do tipo 10 pontos).

3) *Resumo* - Esta parte é considerada como uma das mais importantes do trabalho. É baseado nas informações contidas neste resumo que os trabalhos técnicos são indexados e armazenados em bancos de dados. Este resumo deve conter no máximo 200 palavras de forma a indicar as idéias principais apresentadas no texto, procedimentos e resultados obtidos. O resumo não deve ser confundido com uma introdução do trabalho e muito menos conter abreviações, referências bibliográficas, figuras, etc. Na elaboração deste resumo, como também em todo o trabalho, deve ser utilizada a forma impessoal como, por exemplo, "... Os resultados experimentais mostraram que ..." ao invés de "...os resultados que nós obtivemos mostraram que...".

A palavra *Resumo* deve ser grafada em estilo itálico e em **negrito**. Já o texto deste Resumo será em estilo normal e em **negrito**.

4) *Nomenclatura* - A nomenclatura consiste na definição das grandezas e símbolos utilizados ao longo do trabalho. Não é obrigatória a sua inclusão e este item não é numerado como subtítulo. Caso os autores optem por não incluir este item, as definições das grandezas e símbolos utilizados devem ser incluídas ao longo do texto, logo após o seu aparecimento. No início destas normas é apresentado um exemplo para este item.

5) *Introdução* - A introdução deve preparar o leitor para o trabalho propriamente dito, dando uma visão histórica do assunto, e servir como um guia a respeito de como o trabalho está organizado, enfatizando quais são as reais contribuições do mesmo em relação aos já apresentados na literatura. A introdução não deve ser uma repetição do Resumo, e deve ser a primeira seção do trabalho a ser numerada como subtítulo.

6) *Corpo do Trabalho* - Os autores devem organizar o corpo do trabalho em diversas seções, as quais devem conter de forma clara, as informações a respeito do trabalho desenvolvido, facilitando a compreensão do mesmo por parte dos leitores.

7) *Conclusões* - As conclusões devem ser as mais claras possíveis, informando aos leitores sobre a importância do trabalho dentro do contexto em que se situa. As vantagens e desvantagens deste trabalho em relação aos já existentes na literatura devem ser comentadas, assim como os resultados obtidos, as possíveis aplicações práticas e recomendações de trabalhos futuros.

8) *Agradecimentos* - Os agradecimentos a eventuais colaboradores não recebem numeração e devem ser colocadas no texto, antes das referências bibliográficas. No final deste trabalho é mostrado um exemplo de como podem

ser feitos estes agradecimentos.

9) *Referências Bibliográficas* - As citações das referências bibliográficas ao longo do texto, devem aparecer entre colchetes, antes da pontuação das sentenças nas quais estiverem inseridas. Devem ser utilizados somente os números das referências bibliográficas, evitando-se uso de citações do tipo "...conforme referência [2]...".

Os trabalhos que foram aceitos para publicação, porém ainda não foram publicados, devem ser colocados nas referências bibliográficas, com a citação "no Prelo".

Os artigos de periódicos e anais devem ser incluídos iniciando-se pelos nomes dos autores (iniciais seguidas do último sobrenome), seguido do título do trabalho, onde foi publicado (em itálico), número do volume, páginas, mês e ano da publicação.

No caso de livros, após os autores (iniciais seguidas do último sobrenome), o título deve ser em itálico, seguido da editora, da edição e do local e ano de publicação.

No final destas normas, é mostrado um exemplo de como devem ser as referências bibliográficas.

10) *Dados Biográficos* - Os dados biográficos dos autores, deverão estar na mesma ordem de autores colocados no início do trabalho, e deverão conter basicamente os seguintes dados:

- Nome Completo (em negrito e sublinhado);
- Local e ano de nascimento;
- Local e ano de Graduação e Pós-Graduação;
- Experiência Profissional (Instituições e empresas em que já trabalhou, número de patentes obtidas, áreas de atuação, atividades científicas relevantes, sociedades científicas a que pertencem, etc.).

Na última página do artigo os autores devem distribuir o conteúdo uniformemente, utilizando-se ambas as colunas, de tal forma que estejam paralelas quanto ao fechamento das mesmas.

B. Organização das Seções do Trabalho

A organização do trabalho em títulos e subtítulos, serve para dividi-lo em seções, que ajudam o leitor a encontrar determinados assuntos de interesse dentro do trabalho. Também auxiliam os autores a desenvolverem de forma ordenada seu trabalho. Os títulos devem ser organizados em seções primárias, secundárias e terciárias.

As seções primárias são os títulos de seções propriamente ditos. São grafados em letras maiúsculas no centro da coluna, separadas por uma linha em branco anterior e uma posterior, e utilizam numeração romana e seqüencial.

As seções secundárias são os subtítulos das seções. Apenas a primeira letra das palavras que a compõe, são grafadas em letra maiúscula, na margem esquerda da coluna sendo separada do resto texto por uma linha em branco anterior. A designação das seções secundárias é feita com letras maiúsculas, seguidas de um ponto. Utilizam grafia em itálico.

As seções terciárias são subdivisões das seções secundárias. Apenas a primeira letra da primeira palavra que a compõe é grafada em letra maiúscula, seguindo o

espaçamento dos parágrafos. A designação das seções terciárias é feita com algarismos arábicos, seguidos de um parêntese. Utilizam grafia em itálico.

III. OUTRAS NORMAS

A. Figuras e Tabelas

As tabelas e figuras (desenhos ou reproduções fotográficas) devem ser intercaladas no texto logo após serem citadas pela primeira vez, desde que caibam dentro dos limites da coluna; caso necessário, utilizar toda a área útil da página. A legenda deve ser situada acima da tabela, enquanto que na figura deve ser colocado abaixo da mesma. As tabelas devem possuir títulos e são designadas pela palavra Tabela, sendo numeradas em algarismos romanos, seqüencialmente.

Já as figuras não necessitam de título e são designadas pela palavra Figura, numeradas em algarismos arábicos, seqüencialmente. A designação das partes de uma figura, é feita pelo acréscimo de letras minúsculas ao número da figura, separadas por ponto, começando pela letra a, como por exemplo, Figura 1.a.

Com o intuito de facilitar a compreensão das figuras, a definição dos eixos das mesmas deve ser feita utilizando-se palavras e não letras, exceto no caso de formas de onda e planos de fase. As unidades devem ser expressas entre parênteses. Por exemplo, utilize a denominação "Magnetização (A/m)", ao invés de "M (A/m)".

As figuras e tabelas devem ser posicionadas no início ou no final das colunas, evitando-as no meio das colunas. Devem ser evitadas tabelas e figuras, cujas dimensões ultrapassem as dimensões das colunas.

B. Abreviações e Siglas

As abreviações a serem utilizadas no texto, devem ser definidas na primeira vez em que aparecerem, como por exemplo, "... Modulação por Largura de Pulso (PWM)...".

C. Equações

A numeração das equações deve ser colocada entre parênteses, na margem direita, como no exemplo abaixo. As equações devem ser editadas de forma compacta, e devem estar centralizadas na coluna. Caso não seja usada no início do texto uma nomenclatura, as grandezas devem ser definidas logo após as equações em que são indicadas.

$$\Delta I_L = I_o + \frac{\sqrt{3}}{2} \cdot \frac{V_i}{Z} \quad (1)$$

Onde:

ΔI_L - Corrente de pico no indutor ressonante.

I_o - Corrente de carga.

V_i - Tensão de alimentação.

Z - Impedância característica do circuito ressonante.

AGRADECIMENTOS

Os autores agradecem a Fulano de Tal, pela colaboração neste trabalho. Este projeto foi financiado pelo CNPq (processo xxyyzz).

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] C.T. Rim, D.Y. Hu, G.H. Cho, “Transformers as Equivalent Circuits for Switches: General Proof and D-Q Transformation-Based Analysis”, *IEEE Transactions on Industry Applications*, vol. 26, no. 4, pp. 832-840, July/August 1990.
- [2] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics: converters, applications, and design*, John Wiley & Sons, 2ª Edição, Nova Iorque, 1995.

DADOS BIOGRÁFICOS

Fulano de Tal, nascido em 30/02/1960 em Talópolis é engenheiro eletricitista (1983), mestre (1985) e doutor em Engenharia Elétrica (1990) pela Universidade de Tallin. De 1990 a 1995 foi coordenador do Laboratório de Tal. Atualmente é professor titular da Universidade de Tal. Suas áreas de interesse são: eletrônica de potência, qualidade do processamento da energia elétrica, sistemas de controle eletrônicos e acionamentos de máquinas elétricas.